

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/001459

International filing date: 02 February 2005 (02.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-067332
Filing date: 10 March 2004 (10.03.2004)

Date of receipt at the International Bureau: 31 March 2005 (31.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

03. 2. 2005

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 3 月 1 0 日
Date of Application:

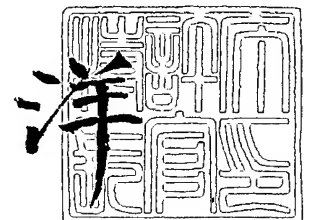
出 願 番 号 特 願 2 0 0 4 - 0 6 7 3 3 2
Application Number:
[ST. 10/C]: [J P 2 0 0 4 - 0 6 7 3 3 2]

出 願 人 三 菱 電 機 株 式 会 社
Applicant(s):

2 0 0 5 年 3 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 549122JP01
【提出日】 平成16年 3月10日
【あて先】 特許庁長官殿
【国際特許分類】 H04L 7/02
H04L 12/56

【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内
【氏名】 井上 禎之

【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内
【氏名】 佐藤 利光

【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内
【氏名】 松本 壮一郎

【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内
【氏名】 志田 哲郎

【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内
【氏名】 笠浦 毅

【発明者】
【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内
【氏名】 辻下 雅啓

【特許出願人】
【識別番号】 000006013
【氏名又は名称】 三菱電機株式会社

【代理人】
【識別番号】 100083840
【弁理士】
【氏名又は名称】 前田 実

【代理人】
【識別番号】 100116964
【弁理士】
【氏名又は名称】 山形 洋一

【手数料の表示】
【予納台帳番号】 007205
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

伝送路を介してパケットデータを受信する受信手段を有し、あらかじめ前記受信されたパケットデータに付加された時刻情報をもとにパケットデータを出力するデータ受信装置において、

前記受信したパケットデータを一時記憶する記憶手段と、

前記受信したパケットデータに付加された前記時刻情報を分離し、前記分離された時刻情報をもとに前記記憶手段からパケットデータを読み出す制御手段とを有し、

前記制御手段にて読み出しタイミングを生成する際に、前記記憶手段に一時記憶されている受信パケットデータの量の積分結果及び前記積分の積分期間の計測結果をもとに、データ送信装置とデータ受信装置間のクロック周波数の偏差を計算し、前記受信パケットデータの読み出しタイミングに前記偏差に基づくオフセット量を加え前記受信パケットデータの読み出しタイミングを生成する

ことを特徴とするデータ受信装置。

【請求項 2】

前記受信手段が、複数のデータ送信装置から送信された複数のパケットデータを受信し

、前記記憶手段が、前記受信手段により受信された前記複数のパケットデータのそれぞれを記憶する複数の記憶領域を有し、

前記制御手段が、前記複数の記憶領域に対応した複数の前記読み出しタイミングを生成する

ことを特徴とする請求項 1 に記載のデータ受信装置。

【請求項 3】

前記制御手段は、

データ送信装置とデータ受信装置間のクロック周波数の偏差を計算し、前記受信パケットデータの読み出しタイミングを生成する際に、

パケットデータの受信開始時からあらかじめ定められた期間に、前記記憶手段に書き込まれる受信パケットデータの量の積分結果を、この積分の積分期間における受信パケットデータの平均受信レートで除算することによって目標値を計算し、

前記あらかじめ定められた期間の後に、前記記憶手段に書き込まれる受信パケットデータの量の積分結果を、この積分の積分期間における受信パケットデータの平均受信レートで除算することによって計測値を計算し、

前記目標値と前記計測値との間の差分を、前記クロック周波数の偏差とする

ことを特徴とする請求項 1 又は 2 のいずれかに記載のデータ受信装置。

【請求項 4】

前記制御手段は、

データ送信装置とデータ受信装置間のクロック周波数の偏差を計算し、前記受信パケットデータの読み出しタイミングを生成する際に、

パケットデータの受信開始時からあらかじめ定められた期間に、前記記憶手段に書き込まれる受信パケットデータの量の積分結果を、この積分の積分期間で除算することによって目標値を計算し、

前記あらかじめ定められた期間の後に、前記記憶手段に書き込まれる受信パケットデータの量の積分結果を、この積分の積分期間で除算することによって計測値を計算し、

前記目標値と前記計測値との間の差分を、前記クロック周波数の偏差とする

ことを特徴とする請求項 1 又は 2 のいずれかに記載のデータ受信装置。

【請求項 5】

前記制御手段は、

前記受信手段が受信するパケットデータの平均受信レートを計算し、計算された前記平均受信レートが所定値以上変化した場合に、前記目標値を再度計算し設定することを特徴とする請求項 4 に記載のデータ受信装置。

【請求項 6】

以前の packets データの受信完了時に、データ送信装置とデータ受信装置間のクロック周波数の偏差に基づいて算出された以前のオフセット量、及び、この以前のオフセット量の算出時におけるデータ送信装置に固有の機器識別情報を記憶する第2の記憶手段を有し、

前記制御手段は、新たに packets データの受信を開始する際に、前記受信された新たな packets データを送信したデータ送信装置が、前記第2の記憶手段に記憶されている機器識別情報を有するデータ送信装置である場合に、前記第2の記憶手段に記憶されているオフセット量を初期値として前記読み出しタイミングを生成する

ことを特徴とする請求項1から5までのいずれかに記載のデータ受信装置。

【請求項 7】

前記データ送信装置を識別する機器識別情報が、前記データ送信装置の IP アドレス又は MAC アドレスの少なくとも一方であることを特徴とする請求項6に記載のデータ受信装置。

【請求項 8】

伝送路を介して packets データを受信し、あらかじめ前記受信された packets データに付加された時刻情報をもとに packets データを出力するデータ受信方法において、

前記受信した packets データを記憶手段に一時記憶するステップと、

前記受信した packets データに付加された前記時刻情報を分離し、前記分離された時刻情報をもとに前記記憶手段から packets データを読み出すステップとを有し、

前記 packets データを読み出すステップにて読み出しタイミングを生成する際に、前記記憶手段に一時記憶されている受信 packets データの量の積分結果及び前記積分の積分期間の計測結果をもとに、データ送信装置とデータ受信装置間のクロック周波数の偏差を計算し、前記受信 packets データの読み出しタイミングに前記偏差に基づくオフセット量を加え前記受信 packets データの読み出しタイミングを生成する

ことを特徴とするデータ受信方法。

【請求項 9】

データ送信装置とデータ受信装置間のクロック周波数の偏差を計算し、前記受信 packets データの読み出しタイミングを生成する際に、

packets データの受信開始時からあらかじめ定められた期間に、前記記憶手段に書き込まれる受信 packets データの量の積分結果を、この積分の積分期間における受信 packets データの平均受信レートで除算することによって目標値を計算し、

前記あらかじめ定められた期間の後に、前記記憶手段に書き込まれる受信 packets データの量の積分結果を、この積分の積分期間における受信 packets データの平均受信レートで除算することによって計測値を計算し、

前記目標値と前記計測値との間の差分を、前記クロック周波数の偏差とする

ことを特徴とする請求項8に記載のデータ受信方法。

【請求項 10】

データ送信装置とデータ受信装置間のクロック周波数の偏差を計算し、前記受信 packets データの読み出しタイミングを生成する際に、

packets データの受信開始時からあらかじめ定められた期間に、前記記憶手段に書き込まれる受信 packets データの量の積分結果を、この積分の積分期間で除算することによって目標値を計算し、

前記あらかじめ定められた期間の後に、前記記憶手段に書き込まれる受信 packets データの量の積分結果を、この積分の積分期間で除算することによって計測値を計算し、

前記目標値と前記計測値との間の差分を、前記クロック周波数の偏差とする

ことを特徴とする請求項8に記載のデータ受信方法。

【請求項 11】

前記受信する packets データの平均受信レートを計算し、計算された前記平均受信レートが所定値以上変化した場合に、前記目標値を再度計算し設定することを特徴とする請求

項 1 0 に記載のデータ受信方法。

【請求項 1 2】

以前の packets データの受信完了時に、データ送信装置とデータ受信装置間のクロック周波数の偏差に基づいて算出された以前のオフセット量、及び、この以前のオフセット量の算出時におけるデータ送信装置に固有の機器識別情報を第 2 の記憶手段に記憶するステップをさらに有し、

新たに packets データの受信を開始する際に、前記受信された新たな packets データを送信したデータ送信装置が、前記第 2 の記憶手段に記憶されている機器識別情報を有するデータ送信装置である場合に、前記第 2 の記憶手段に記憶されているオフセット量を初期値として前記読み出しタイミングを生成する

ことを特徴とする請求項 8 から 1 1 までのいずれかに記載のデータ受信装置。

【書類名】 明細書

【発明の名称】 データ受信装置及びデータ受信方法

【技術分野】

【0001】

本発明は、例えば、MPEG (Motion Picture Experts Group) 2システムにおけるトランスポートストリーム (TS) のような映像・音声データを受信するデータ受信装置及びデータ受信方法に関するものである。

【背景技術】

【0002】

TSのようなストリームを無線伝送するデータ伝送システムに対する要望がある。例えば、データ記録再生装置内の符号化装置から出力されるTSを、無線ネットワーク（無線送信装置及び無線受信装置を含む。）を経由して、デジタルチューナ内蔵テレビ (TV) に伝送するシステムである。このようなデータ伝送システムにおいては、無線送信装置が、データ記録再生装置内の符号化装置から有線ネットワーク（例えば、IEEE1394規格に準拠したネットワーク）経由で送られてきたTSをパケット化し、無線ネットワークを経由して無線受信装置に送信する。無線受信装置は、受信したTSパケットを復元し、有線ネットワーク（例えば、IEEE1394規格に準拠したネットワーク）を経由してデジタルチューナ内蔵TVに送信する。デジタルチューナ内蔵TV内の復号化装置は、受信したTSを復号する。

【0003】

また、このようなデータ伝送システムにおいては、送信側の符号化装置と受信側の復号化装置の間でクロックの同期を取るため、TSに、PCR (Program Clock Reference: プログラムクロック基準) が挿入されている。このPCRは、受信側の復号化装置で時刻の基準となるSTC (System Time Clock: システム タイム クロック) の値を、送信側で意図した値に設定するための情報である。したがって、PCRが受信側の復号化装置に入力されるタイミングは、送信側で意図したタイミングである必要がある。TSの場合には、PCRを含むTSパケットが少なくとも100msに1回伝送される必要がある。このため、PCRを含むTSに関しては、そのジッタを数十 μ s（例えば、50 μ s）以下に抑制する必要がある。

【0004】

図19 (a) 乃至 (c) は、従来のデータ伝送方法を説明するための図である。図19 (a) には、無線送信装置にPCRを含むTS (TS__0からTS__17までが図示されている。) が入力されるタイミングが示されている。また、図19 (b) には、無線送信装置から無線受信装置にTSパケット (TS__0パケットからTS__10パケットまでが図示されている。) が伝送されるタイミングが示されている。さらに、図19 (c) には、無線受信装置から受信TS (TS__0からTS__7までが図示されている。) が出力されるタイミングが示されている。図19 (a) 乃至 (c) に示されるように、無線受信装置は、無線送信装置からのTSを、あるデータ遅延量だけ遅延させて出力している。このデータ遅延量は、所定の範囲内である必要があり、このため、例えば、ATM (Asynchronous Transfer Mode: 非同期転送モード) が用いられている（例えば、特許文献1～4参照）。

【0005】

特許文献1～4は、SRTS (Synchronous Residual Time Stamp: 同期残差タイムスタンプ) 法による通信方法と適応クロック法による通信方法を説明している。SRTS法は、通信を行う送信側と受信側の共通クロックを参照できる場合に使用する方法である。送信側は、Nビットごとの固定データ転送速度情報の間隔で共通クロックを計測し、計測値の中で送信クロック周波数変動によって値が変わる部分だけを同期タイムスタンプ残差情報としてパケットに挿入して送信する。受信側は、送られてきた同期タイムスタンプ残差情報と共通クロックとからNビットの固定速度情報の間隔を再生し、この間隔に基づいてクロックを再生する。一方、適応クロック法は、受信

側が、受信パケットに格納されている固定速度情報をバッファに格納し、格納した情報量が基準値を保持するようにバッファの読み出しクロック情報を制御する方法である。

【0006】

【特許文献1】特開平9-214477号公報

【特許文献2】特開平7-46257号公報

【特許文献3】特開平9-36846号公報

【特許文献4】特開平5-210914号公報

【特許文献5】特開平11-317768号公報（図1、図2）

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、上記特許文献1～4に開示されるクロック再生方法は、固定ビットレート（Constant Bit Rate）でデータの送受信を行う場合を前提としており、可変ビットレート（VBR: Variable Bit Rate）でデータの送受信を行う場合には、適切なクロック再生を行うことができないという問題がある。

【0008】

また、上記特許文献5に開示されるデータ伝送方法は、VBRのデータ伝送に対応できるが、有効パケットに付加情報を添えて伝送を行う方法であるので、無線伝送に適用した場合にはスループットの低下を招くという問題がある。また、上記特許文献5に開示されるデータ伝送方法では、受信装置が有効パケットと付加情報に基づいて追加された無効パケットをバッファに格納する必要がある、受信装置の回路規模が増大すると共に、受信装置の制御が複雑になるという問題がある。

また、上記特許文献1～5は基本的に受信装置は送信装置と一対一で接続（ピアツーピア接続）されることを想定している。しかし、図20に示す無線伝送システムを異なる複数の有線系のネットワークを接続する場合に使用する際は、無線受信機111は複数の無線送信機110から出力されるTSを受信する必要がある。しかし、一対一接続を想定している従来の上記SRTS法、および適応クロック法ではN対1、あるいはN対Mの接続を想定した場合（N及びMはそれぞれ、2以上の整数である。）、受信機側でのクロック再生を各TSごと十分に実施できないといった問題点があった。特に、特許文献2ではメモリ残量に応じて、システムクロックにPLLをかけて受信機側のクロック再生を実施する構成をとっており、また、特許文献4ではクロック信号にゲートかけてクロック再生を実施するため、複数の送信機から送られてきた各々のTSのクロック再生を行うことができないという問題点があった。また、特許文献5ではVBRへの対応のため新たな付加情報をネットワーク上に流すためTSの伝送スループットを悪くするといった問題点があった。

【0009】

そこで、本発明は、上記したような従来技術の課題を解決するためになされたものであり、その目的は、スループットの低下及び受信回路の複雑化を抑制しつつ、受信側メモリにおいてアンダーフロー、あるいはオーバーフローを生じさせることなく連続的にデータを出力することができるデータ受信装置及びデータ受信方法を提供することにある。

【課題を解決するための手段】

【0010】

本発明のデータ受信装置は、伝送路を介してパケットデータを受信する受信手段を有し、あらかじめ前記受信されたパケットデータに付加された時刻情報をもとにパケットデータを出力する装置であって、前記受信したパケットデータを一時記憶する記憶手段と、前記受信したパケットデータに付加された前記時刻情報を分離し、前記分離された時刻情報をもとに前記記憶手段からパケットデータを読み出す制御手段とを有し、前記制御手段にて読み出しタイミングを生成する際に、前記記憶手段に一時記憶されている受信パケットデータの量の積分結果及び前記積分の積分期間の計測結果をもとに、データ送信装置とデータ受信装置間のクロック周波数の偏差を計算し、前記受信パケットデータの読み出しタ

イミングに前記偏差に基づくオフセット量を加え前記受信パケットデータの読み出しタイミングを生成するものである。

【0011】

また、本発明のデータ受信方法は、伝送路を介してパケットデータを受信し、あらかじめ前記受信されたパケットデータに付加された時刻情報をもとにパケットデータを出力する方法であって、前記受信したパケットデータを記憶手段に一時記憶するステップと、

前記受信したパケットデータに付加された前記時刻情報を分離し、前記分離された時刻情報をもとに前記記憶手段からパケットデータを読み出すステップとを有し、前記パケットデータを読み出すステップにて読み出しタイミングを生成する際に、前記記憶手段に一時記憶されている受信パケットデータの量の積分結果及び前記積分の積分期間の計測結果をもとに、データ送信装置とデータ受信装置間のクロック周波数の偏差を計算し、前記受信パケットデータの読み出しタイミングに前記偏差に基づくオフセット量を加え前記受信パケットデータの読み出しタイミングを生成するものである。

【発明の効果】

【0012】

以上に説明したように、本発明のデータ受信装置又はデータ受信方法を用いれば、読み出しタイミングを生成する際に、記憶手段に一時記憶されている受信パケットデータの量の積分結果及びこの積分の積分期間の計測結果をもとに、データ送信装置とデータ受信装置間のクロック周波数の偏差を計算し、受信パケットデータの読み出しタイミングに計算された偏差に基づくオフセット量を加えることによって受信パケットデータの読み出しタイミングを生成しているので、TSのジッタを所定値以下に抑えることができるという効果が得られる。

【発明を実施するための最良の形態】

【0013】

実施の形態1.

図1は、本発明の実施の形態1に係るデータ受信方法を実施するデータ伝送システムの構成を概略的に示す図である。図1に示されるデータ伝送システムは、第1の有線ネットワーク10と、第2の有線ネットワーク20と、第3の有線ネットワーク30とを有している。第1、第2、第3の有線ネットワーク10、20、30は互いに無線通信を行うことができるIEEE802.11a規格（無線LAN）に準拠した無線ネットワークをも構成しており、図1の構成全体はホームネットワークを構成している。

【0014】

第1の有線ネットワーク10は、無線送受信装置(A)11と、液晶テレビ（液晶TV）12と、DVD（digital versatile disc）レコーダ（DVD記録再生装置）13とを、例えば、IEEE1394規格に準拠した方式で有線接続することによって構成されている。また、第2の有線ネットワーク20は、無線送受信装置(B)21と、AV-HDD記録再生装置（オーディオビジュアル・ハードディスクドライブ記録再生装置）22と、D-VHS（データ・ビデオホームシステム）記録再生装置23とを、例えば、IEEE1394規格に準拠した方式で有線接続することによって構成されている。また、第3の有線ネットワーク30は、無線送受信装置(C)31と、テレビ（TV）32と、セットトップボックス（STB）33とを、例えば、IEEE1394規格に準拠した方式で有線接続することによって構成されている。なお、図1に示された構成は、本発明のデータ受信方法及びデータ受信装置が適用できるシステム構成の一例を示したものであり、本発明のデータ受信方法及びデータ受信装置は、他のシステムにも適用できる。

【0015】

IEEE1394規格に準拠した有線ネットワーク10、20、30のそれぞれは、ジッタの無いネットワークである。一方、IEEE802.11a規格に準拠した無線ネットワークは、ジッタを有するネットワークである。実施の形態1においては、図1に示されるIEEE1394規格に準拠した3つの有線ネットワーク10、20、30間を、I

EEE802.11a規格に準拠した方式で無線通信可能に構成している。

【0016】

図1に示されるデータ伝送システムにおいて、例えば、第1の有線ネットワーク10内の液晶TV12が、第3の有線ネットワーク30内のSTB33から、無線送受信装置31及び無線送受信装置11（すなわち、無線ネットワーク）を経由して、トランスポートストリーム（TS）を受信し、また、第1の有線ネットワーク10内のDVDレコーダ13が、第2の有線ネットワーク20内のAV-HDD記録再生装置22に記録されているコンテンツを、無線送受信装置21及び無線送受信装置11（すなわち、無線ネットワーク）を経由して受信し記録する場合について説明する。この場合、受信側の無線送受信装置11は、送信側の無線送受信装置21が属する第2の有線ネットワーク20及び送信側の無線送受信装置31が属する第3の有線ネットワーク30と同期のとれたクロックを再生する（すなわち、クロック同期をとる）必要がある。実施の形態1においては、STB33から出力されるTS及びAV-HDD記録再生装置22から出力されるTSがいずれも可変符号レート（VBR）で出力される場合を説明する。また、実施の形態1においては、説明を簡単にするため、無線送受信装置11を無線受信装置（後述する図5の符号50）として、無線送受信装置21及び無線送受信装置31を無線送信装置（後述する図2の符号40）として説明する。なお、実際には、無線送受信装置11、無線送受信装置21、及び無線送受信装置31のそれぞれは、後述する図2に示される無線送信装置40としての機能と、後述する図5に示される無線送信装置50としての機能の両方を併せ持つ。

【0017】

次に、図2から図4までを用いて、無線送信装置40の構成を説明する。図2は、実施の形態1における無線送信装置40の構成を概略的に示すブロック図である。無線送信装置40は、図1に示される無線送受信装置11、21、31のそれぞれに装備される無線送信回路である。図2に示されるように、無線送信装置40は、IEEE1394規格に準拠した有線ネットワークから送られて来るTSを受け取る入力端子41と、TSの先頭、信号エリア等を示すTS制御信号を受け取る入力端子42と、無線送信装置40全体を制御するCPU（Central Processing Unit）43と、送信側メモリ制御回路44と、メモリ45と、無線LAN（Local Area Network）モジュール46と、CPUバス47とを有する。送信側メモリ制御回路44は、入力端子41を介して入力されたTSにタイムスタンプを付加すると共に、タイムスタンプが付加されたTS（以下「タイムスタンプ付きTS」とも言う。）をメモリ45に書き込む。また、送信側メモリ制御回路44は、CPU43から入力される制御信号に基づいて、メモリ45に記憶されているタイムスタンプ付きTSを読み出す。無線LANモジュール46は、CPU43の指令に基づいて、メモリ45から読み出されたタイムスタンプ付きTSを、無線で送信する。

【0018】

図3は、図2に示される無線送信装置40内の送信側メモリ制御回路44の構成を概略的に示すブロック図である。図3に示されるように、送信側メモリ制御回路44は、タイムスタンプ生成回路441と、タイムスタンプ付加回路442と、TSメモリ書き込み制御回路443と、バスアービタ回路444とを有する。タイムスタンプ生成回路441は、無線送信装置40の基準クロックを用いて入力端子41から入力されるTSに付加するタイムスタンプ（時刻情報）を生成する。タイムスタンプ付加回路442は、タイムスタンプ生成回路441によって生成されたタイムスタンプをTSに付加する。TSメモリ書き込み制御回路443は、入力端子42から入力されるTS制御信号に基づいて、タイムスタンプ付加回路442より出力されるタイムスタンプ付きTSをメモリ45へ書き込む際の書き込みアドレス等の制御信号を発生する。バスアービタ回路444は、TSメモリ書き込み制御回路443から出力されるメモリ45へのTS書き込み制御信号（TS書き込み要求）と、CPU43から出力されるメモリ45からのTS読み出し制御信号（TS読み出し要求）とを調停する。

【0019】

図4は、実施の形態1のデータ伝送システムにおいて無線によって伝送されるタイムスタンプ付きTSの信号フォーマットの一例を示す説明図である。図4に示されるように、実施の形態1においては、TSパケットは188バイトで構成されており、各TSの先頭に4バイトのタイムスタンプが付加されている。

【0020】

次に、無線送信装置40の動作の概要を説明する。図2に示されるように、入力端子41に入力されたTSは、送信側メモリ制御回路44でタイムスタンプが付加され、一旦メモリ45に記憶される。メモリ45に記憶されたタイムスタンプ付きTSは、CPU43から出力されるメモリ読み出し制御信号に基づいて、メモリ45から読み出され、無線LANモジュール46に入力される。無線LANモジュール46は、入力されたタイムスタンプ付きTSに無線伝送用のヘッダを付加し、パケット化して、他の無線送受信装置（後述する無線受信装置50）に無線送信する。なお、実施の形態1においては、TSを無線伝送する際、無線区間におけるオーバーヘッドを極力小さくするため、タイムスタンプ付きTSを予め定められた数だけ集めてパケットを構成する。

【0021】

次に、図2から図4までを用いて、無線送信装置40を構成する各回路の動作を詳細に説明する。図3に示されるように、入力端子42を介して送信側メモリ制御回路44に入力されるTS制御信号 T_2 は、タイムスタンプ付加回路442及びTSメモリ書き込み制御回路443に入力される。タイムスタンプ付加回路442は、入力されたTS制御信号 T_2 に基づいて、入力端子41を介して入力されるTS T_1 の先頭を検出する。タイムスタンプ付加回路442は、TSの先頭を検出すると、タイムスタンプ生成回路441にタイムスタンプの要求信号 T_3 を出力する。タイムスタンプ生成回路441は、無線送信装置40における基準時刻を生成しており、タイムスタンプ付加回路442からタイムスタンプの要求信号 T_3 が入力されると、現在の無線送信装置40における基準時刻 T_4 をタイムスタンプ付加回路442へ出力する。タイムスタンプ付加回路442は、タイムスタンプ生成回路441から無線伝送装置40における基準時刻 T_4 を受け取ると、図4に示されるように、入力端子41から入力されたTSの先頭にタイムスタンプを付加し、図3に示されるように、タイムスタンプ付きTS T_5 をバスアービタ回路444へ出力する。実施の形態1においては、入力端子41を介して入力された188バイトのTS T_1 の先頭に、図4に示されるように、4バイトのタイムスタンプを付加し、これを所定数集めて無線パケットを構成し伝送する。なお、実施の形態1においては、7TS分のデータで無線パケットを構成する。

【0022】

一方、図3に示されるように、TSメモリ書き込み制御回路443は、入力端子42を介して入力されたTS制御信号 T_2 に基づいて、タイムスタンプ付加回路442から出力されるタイムスタンプ付きTS T_5 のメモリ45への書き込みアドレス及び書き込み制御信号 T_6 を出力する。図3に示されるように、バスアービタ回路444は、7TS分のデータのメモリ45への書き込みが終了すると、CPUバス47を経由してCPU43（図2）に対してデータ読み出し要求信号 T_7 を発生する。図2に示されるCPU43は、バスアービタ回路444からデータ読み出し要求信号 T_7 を受け取ると、DMA（Direct Memory Access：ダイレクトメモリアクセス）を起動し、タイムスタンプを含む7TS分のデータをメモリ45から読み出し、CPUバス47を経由して無線LANモジュール46に書き込む。具体的には、図2に示されるように、CPU43は、入力されたTSが所定数集まると、メモリ45に対して読み出し制御信号（読み出しアドレス等）を出力する。また、図3に示されるように、バスアービタ回路444は、CPU43（図2）から出力される読み出し制御信号 T_7 と、TSメモリ書き込み制御回路443から出力されるTSデータ書き込み制御信号 T_6 とを調停する。具体的には、バスアービタ回路444は、CPU43からデータの読み出されていない期間（CPU43によりDMAが起動された場合であっても、メモリ45へのアクセスは少なくとも2クロ

ックに1回は空く。)に入力されたTSを、メモリ45に書き込むように制御する。

【0023】

図2に示される無線LANモジュール46は、7TS分のデータが入力されると、入力された7TS分のデータの先頭に無線ヘッダを付加し、無線パケットを構成する。実施の形態1においては、無線ヘッダには、TSデータか機器制御用データか等を識別するデータタイプ情報、無線パケット長情報、無線送信装置40を識別するMACアドレス(Media Access Control Address:メディア アクセス コントロール アドレス)、及び、無線送信装置40に固有の機器識別情報(例えば、IP(Internet Protocol:インターネット プロトコル)アドレス)等の情報が付加される。図2に示される無線LANモジュール46は、無線ヘッダが付加されパケット化されたデータを、無線で送信する。

【0024】

次に、図5から図9までを用いて、本発明の実施の形態1に係るデータ受信方法を実施する無線受信装置(データ受信装置)50の構成を説明する。図5は、実施の形態1における無線受信装置50の構成を概略的に示すブロック図である。無線受信装置50は、図1に示される無線送受信装置11, 21, 31のそれぞれに装備される無線受信回路である。実施の形態1においては、無線受信装置50は、最大で2本のTSを同時に受信できる機能を持つ。図5に示されるように、無線受信装置50は、無線送信装置40から送信された無線パケットを受信する無線LANモジュール51と、受信側メモリ制御回路52と、メモリ53と、無線受信装置50全体を制御するCPU(中央演算ユニット)54と、CPUバス55と、TSを出力する出力端子56と、TS制御信号を出力する出力端子57とを有する。受信側メモリ制御回路52は、無線LANモジュール51で受信されたTSを、CPU54から出力される書き込み制御信号(書き込みアドレス信号等)に基づいて、メモリ53に書き込むと共に、メモリ53に書き込まれた(その結果、一時記憶された)TSをタイムスタンプに基づくタイミングで読み出して出力する。実施の形態1においては、図5に示されるように、TS_{R1}は出力端子56を介して、TS制御信号R₂は出力端子57を介して、IEEE1394規格に準拠して接続された機器に出力される。

【0025】

図6は、図5に示される無線受信装置50内の受信側メモリ制御回路52の構成を概略的に示すブロック図である。図6に示されるように、受信側メモリ制御回路52は、TSデータ読み出しタイミング生成回路521と、TSメモリ読み出し制御回路522と、バスアービタ回路523とを有する。図6に示されるTSデータ読み出しタイミング生成回路521は、無線LANモジュール51(図5)により受信されメモリ53(図5)に一時記憶されたTSのメモリ53(図5)からの読み出しタイミングR₄を生成する。図6に示されるTSメモリ読み出し制御回路522は、TSデータ読み出しタイミング生成回路521から出力されるTS読み出しタイミング信号R₄に基づいて、TSの読み出し制御信号R₆を発生する。また、図6に示されるTSデータ読み出しタイミング生成回路521には、CPUバス55を経由して、TSデータ読み出しタイミング生成回路521により生成されるTS読み出しタイミングを補正するための時刻補正值R₅が入力される。図6に示されるバスアービタ回路523は、CPU54(図5)から出力されCPUバス55を経由して入力されるメモリ53(図5)へのデータ書き込み要求と、TSメモリ読み出し制御回路522から出力されるデータ読み出し要求とを調停する。

【0026】

図7は、図5に示される無線受信装置50内のメモリ53の記憶領域の構成を概略的に示す説明図である。実施の形態1においては、無線受信装置50は、最大2本のTSを同時に扱うので、メモリ53(図5)は、第1のTSを記憶する第1のTS記憶領域531と、第2のTSを記憶する第2のTS記憶領域532とを有する。なお、無線受信装置50が同時に扱うTSの数は3本以上であってもよく、この場合には、同時に扱うTSの数に応じて記憶領域の数を増やす必要がある。

【0027】

図8は、図6に示される受信側メモリ制御回路52内のTSデータ読み出しタイミング生成回路521の構成を概略的に示すブロック図である。図8に示されるように、TSデータ読み出しタイミング生成回路521は、TSメモリ読み出し制御回路522（図6）から送られるタイムスタンプ信号R₃が入力される入力端子5211と、TS読み出しタイミング信号R₄を出力する出力端子5212と、時刻計測用カウンタ5213と、時刻計測用カウンタ制御回路5214と、時刻補正值記憶レジスタ5215と、時刻比較回路5216とを有する。図8に示される時刻計測用カウンタ5213は、受信したTSの出力タイミングを計測する。図8に示される時刻補正值記憶レジスタ5215は、CPU54（図5）から出力されCPUバス55を経由して入力された時刻補正值R₅を記憶する。図8に示される時刻計測用カウンタ制御回路5214は、時刻補正值記憶レジスタ5215に記憶された時刻補正值に基づいて時刻計測用カウンタ5213のカウント値を制御する。図8に示される時刻比較回路5216は、入力端子5211を介して入力されるタイムスタンプ信号の値（タイムスタンプ値）R₃と時刻計測用カウンタ5213から出力される時刻計測カウンタ値R₉とを比較し、時刻計測カウンタ値R₉がタイムスタンプ値R₃より大きくなったときにTS読み出しタイミング信号R₄を生成する。

【0028】

図9は、図6に示される受信側メモリ制御回路52内のTSメモリ読み出し制御回路522の構成を概略的に示すブロック図である。図9に示されるように、TSメモリ読み出し制御回路522は、FIFO（First-In First-Out）メモリ5225と、FIFOメモリ5225を制御するFIFOメモリ制御回路5226と、TS読み出しアドレス発生回路5227と、TS書き込みアドレス記憶回路5228と、メモリ記憶データ量積分回路5229と、積分結果記憶レジスタ5230と、TSの出力数を計測するTS出力数計測カウンタ5231と、TS出力数計測カウンタ5231のカウント結果を記憶するTS出力数記憶レジスタ5232と、計測時間測定カウンタ5233と、計測時間測定カウンタ5233のカウント結果を記憶する計測時間記憶レジスタ5234とを有する。

【0029】

図9に示されるTS読み出しアドレス発生回路5227は、TSデータ読み出しタイミング生成回路521（図6）の端子5212を経由して入力されるTS読み出しタイミング信号R₄に基づいて、メモリ53（図5）からのTSの読み出し制御信号R₆を生成し、端子5223から出力する。TS書き込みアドレス記憶回路5228は、CPU54（図5）から端子5224経由で入力されるアドレス情報、すなわち、無線LANモジュール51（図5）で受信したTSをメモリ53（図5）へ書き込む際のアドレス情報R₄を記憶する。

【0030】

図9に示されるメモリ記憶データ量積分回路5229は、TS読み出しアドレス発生回路5227から出力されるメモリ53（図5）からのTSの読み出しアドレス情報、及び、TS書き込みアドレス記憶回路5228から出力される書き込みアドレス情報に基づいて、メモリ53（図5）に書き込まれる（一時記憶される）データ量を積分して積分結果（後述する図13の斜線領域の面積に相当する）を出力する。図9に示される積分結果記憶レジスタ5230は、メモリ記憶データ量積分回路5229から出力される積分結果を記憶する。なお、実施の形態1においては、CPU54（図5）により積分結果記憶レジスタ5230がアクセスされた際には、メモリ記憶データ量積分回路5229で計測する積分値、及び積分結果記憶レジスタ5230の値を初期値‘0’にセットするように構成する。

【0031】

図9に示されるTS出力数計測カウンタ5231は、TSの出力数を計測し、TS出力数記憶レジスタ5232は、TS出力数計測カウンタ5231のカウント結果を記憶する。また、図9に示される計測時間測定カウンタ5233は、メモリ記憶データ量積分回路

5229、及びTS出力数計測カウンタ5231で計測している計測時間を測定する。図9に示される計測時間記憶レジスタ5234は、計測時間測定カウンタ5233から出力される測定結果を記憶する。なお、実施の形態1においては、CPU54（図5）によりTS出力数記憶レジスタ5232、及び計測時間記憶レジスタ5234がアクセスされた際には、TS出力数計測カウンタ5231の値、TS出力数記憶レジスタ5232の値、計測時間測定カウンタ5233の値、及び計測時間記憶レジスタ5234の値を初期値‘0’にセットする。

【0032】

図10は、無線受信装置50内の受信側メモリ制御回路52の動作を示すフローチャートである。また、図11は、無線受信装置50内のCPU54によるクロックジッタ検出動作を示すフローチャートであり、図12は、図11に示されるフローの中の目標値算出及び設定（図11のステップS16）の動作を示すフローチャートである。また、図13は、無線受信装置50内のメモリ53が記憶するデータ量（TSライン数）の変動を概略的に示す図であり、図14は、実施の形態1におけるデータ伝送システムがクロックジッタを有する場合（無線受信装置50内の基準クロックが無線送信装置40内の基準クロックよりも速い場合）に、無線受信装置50内のメモリ53が一時記憶するデータ量（TSライン数）の変動を概略的に示す図である。さらに、図15は、実施の形態1における無線受信装置50が時刻補正值（以下「クロックジッタ補正值」とも言う。）を算出するために保有する変換テーブルを示す図である。

【0033】

以下に、図5から図15までを用いて、無線送信装置40から送信されたTSを含む無線パケットを受信した無線受信装置50の動作を説明する。無線受信装置50が無線送信装置40から伝送された無線パケットを受信すると、無線受信装置50内の無線LANモジュール51（図5）は、無線パケットの先頭に付加されている無線ヘッダを解析し、受信したパケットがどの無線送信装置（送信元）から送信されたものであり、どの無線受信装置（送信先）へ送信されたものであるかを検出する。この検出の結果、無線パケットが自身の無線受信装置50に送られて来たものでない場合は、その無線受信装置50内の無線LANモジュール51（図5）は、無線パケットを破棄する。無線パケットが自身の無線受信装置50に送られて来たものである場合は、その無線受信装置50内の無線LANモジュール51（図5）は、無線パケットの種類の識別等を実施し、その結果を無線受信装置50内のCPU54（図5）に出力する。無線LANモジュール51（図5）から検出結果を受け取ったCPU54（図5）は、受信したデータがタイムスタンプ付きTSである場合は、タイムスタンプ付きTSを無線受信装置50内のメモリ53（図5）へ転送するようにDMAを起動する。なお、無線LANモジュール51（図5）により受信されたデータが機器制御用データである場合は、CPU54（図5）内で機器制御用データに所定の処理を施した後、機器制御用データをIEEE1394インターフェイスを介し接続された機器へ送出する。

【0034】

次に、無線受信装置50内の受信側メモリ制御回路52（図5）は、CPU54（図5）からCPUバス55を経由して送られたTS書き込み制御信号に基づいて、無線LANモジュール51（図5）が受信したTSをメモリ53（図5）に書き込み、メモリ53に一時記憶させる。実施の形態1においては、受信したTSがメモリ53（図5）内の第1のTS記録領域531（図7）に書き込まれるものとする。メモリ53（図5）にTSが書き込まれると、図10に示されるフローに従い、TSデータ読み出しタイミング生成回路521（図6）によりTS読み出しタイミング信号R₄が生成される。なお、無線送信装置40からのTSの受信を開始したときに、CPU54（図5）は、メモリ53（図5）内にTSを記憶できる空き領域が有るか無いかを確認し、図7に示す2つの記憶領域が既に使用されている場合は、TSを受信できないことを、無線LANモジュール51（図5）を経由して無線送信装置40に通知する。

【0035】

次に、受信したTSを記憶領域に格納する動作を説明する。図10に示されるように、無線LANモジュール51(図5)によりTSの受信が開始されると、無線受信装置50内のCPU54(図5)は、受信されたTSを記憶するメモリ53(図5)内の記憶領域を決定し、この決定された記憶領域を、受信側メモリ制御回路52(図5)内のTSメモリ読み出し制御回路522(図6)に通知する。TSメモリ読み出し制御回路522(図6)は、決定されたメモリ53(図5)内の記憶領域に基づいて、TSを読み出すメモリ53(図5)内の記憶領域を決定する。そして、TSの受信開始後に、受信側メモリ制御回路52(図5)内のTSメモリ読み出し制御回路522(図6)は、受信された先頭のTSのメモリ53(図5)への書き込みが完了したことを確認する(図10のステップS1)。実施の形態1においては、メモリ53(図5)内の第1のTS記憶領域531(図7)の先頭に、受信開始後、最初に書き込まれたTSを、「先頭TS」と言う。受信側メモリ制御回路52(図5)内のTSメモリ読み出し制御回路522(図6)は、TSメモリ読み出し制御回路522(図6)内のTS書き込みアドレス記憶回路5228(図9)から出力される書き込みアドレス情報の変化を検出することによって(すなわち、書き込みアドレス情報が2ライン目のアドレスに変化したことを確認することによって)、メモリ53(図5)内の第1のTS記憶領域531(図7)に対する先頭TSの書き込みが完了したことを確認することができる。

【0036】

先頭TSのメモリ53(図5)への書き込みが確認できた後に、受信側メモリ制御回路52(図5)内のTSメモリ読み出し制御回路522(図6)は、メモリ53(図5)に記憶された先頭TSに付加されているタイムスタンプを読み出す(図10のステップS2)。

【0037】

図10のステップS2においてタイムスタンプの読み出しが終了すると、受信側メモリ制御回路52(図5)内のTSメモリ読み出し制御回路522(図6)は、メモリ53(図5)内の記憶データ量が所定値以上になるまで待機する(図10のステップS3)。この待機は、VBRのTSに対して、無線受信装置50のクロック周波数を用いたクロック再生を行うために、実施する。

【0038】

VBRのTSを受信した際のメモリ53(図5)に記憶されているTSの記憶データ量は、例えば、図13に示されるように変化する。図13において、縦軸はメモリ53(図5)に記憶されているTSの記憶データ量、横軸は時間を示す。図13は、AV-HDD記録再生装置22(図1)等から出力されるTSで、例えば、MPEG2システムで圧縮された映像データを1フレーム単位で読み出すような制御を実施した場合に相当する。具体的には、MPEG2システムで20MbpsのHD(High Definition: 高精細度)の映像ストリームをTS形式で伝送した場合について説明する。なお、実施の形態1においては、GOP(Group of Pictures)を16フレームで構成し、1GOP内のイントラフレーム(Intra Frame)のデータ量は、1GOPの全データ量の20%であると仮定する。また、実施の形態1においては、メモリ53(図5)内の第1のTS記憶領域531(図7)は、1GOP分のデータを記憶できる記憶容量を有する。

【0039】

PCR(Program Clock Reference: プログラムクロック基準)は各フレームの先頭TSに付加されており、33ms毎に伝送される。無線送信装置40と無線受信装置50との間の無線伝送区間におけるスループットは、20Mbps程度であり、無線経路で受信されるTSの量はほぼ一定の割合で無線受信装置50に入力される。しかし、無線受信装置50内のメモリ53(図5)からのデータの読み出しは、送信時に送信側クロック周波数に基づいてTSに付加されたタイムスタンプを基準に行われる。メモリ53(図5)からイントラフレームを読み出す場合には、非常に短い時間で1GOPのデータ量の20%のデータが読み出されるので、図13に示されるように、メモリ

53 (図5) のTSの記憶データ量が急激に低下する (図13の期間 $t_{11} \sim t_{12}$ 、線分 $d_{11} d_{12}$ 、又は、期間 $t_{13} \sim t_{14}$ 、線分 $d_{13} d_{14}$)。そして、1GOPの期間をかけてメモリ53の記憶データ量は徐々に初期値 F_0 に戻る (図13の線分 $d_{12} d_{13}$ 、線分 $d_{14} d_{15}$)。なお、実際には、メモリ53 (図5) におけるTSの記憶データ量の変化は、図13に示されるような直線 (線分 $t_{11} t_{12}$ 、線分 $t_{12} t_{13}$ 、線分 $t_{13} t_{14}$ 、線分 $t_{14} t_{15}$) にはならないが、実施の形態1においては、発明の理解を容易にするために、直線で描いている。無線受信装置50においては、メモリ53 (図5) に記憶されているTSがオーバフロー又はアンダーフローを起こさないようにするため、受信開始時には、メモリ53 (図5) に所定量のTSが記憶されるまで、メモリ53 (図5) からのデータの読み出しを開始しない。実施の形態1においては、メモリ53 (図5) に1GOPの半分のデータ量 (図13の F_0) のTSが記憶された時点で、受信されたTSの読み出しを開始する。

【0040】

図10のステップS3において、メモリ53 (図5) の記憶データ量が所定値以上になると、TSデータ読み出しタイミング生成回路521 (図6) 内の時刻計測用カウンタ制御回路5214 (図8) は、時刻制御用カウンタ5213 (図8) に、受信された先頭TSに付加されていたタイムスタンプ値を初期値としてセットすると共に、時刻計測用カウンタ5213 (図8) に時刻計測のためのカウントアップ動作を開始するよう制御信号を出力する (図10のステップS4)。そして、図10のステップS4において、TSデータ読み出しタイミング生成回路521 (図6) 内の時刻計測用カウンタ5213 (図8) のカウントアップ動作が開始され、その後に、時刻比較回路5216 (図8) は、TS読み出しタイミング信号 R_4 を出力する。TS読み出しアドレス発生回路5227 (図9) は、TS読み出しタイミング信号 R_4 に基づいて、メモリ53 (図5) に記憶されている1TS分のデータの読み出し制御信号 R_6 を端子5223から出力する (図10のステップS5)。

【0041】

メモリ53 (図5) から読み出されたTSは、受信側メモリ制御回路52 (図5) 内のバスアービタ回路523 (図6) を経由して、TSメモリ読み出し制御回路522 (図6) 内のFIFOメモリ5225 (図9) に入力される。FIFOメモリ5225 (図9) は、CPU54 (図5) からのTS書き込み制御信号とTSメモリ読み出し制御回路522 (図6) からのTS読み出し制御信号との間の、バスアービタ回路523 (図6) によるバス調停時に発生した読み出しデータの遅延時間等を吸収する。実施の形態1においては、受信側メモリ制御回路52 (図5) 内のTSデータ読み出しタイミング生成回路521 (図6) から入力されるTS読み出しタイミング信号 R_4 を基準にし、一定時間の遅延量を持たせてFIFOメモリ5225 (図9) からTSを読み出すように、FIFOメモリ制御回路5226 (図9) はFIFOメモリ5225 (図9) に対して読み出し制御信号を出力する。受信側メモリ制御回路52 (図5) におけるTSメモリ読み出し制御回路522 (図6) 内のFIFOメモリ5225 (図9) への書き込み制御は、TS読み出しアドレス発生回路5227 (図9) から出力されるTSデータ読み出し制御信号 R_{6a} (図9) と、受信側メモリ制御回路52 (図5) 内のバスアービタ回路523 (図6) から出力されるデータ読み出し完了信号 (図9には示さず。図6に信号 R_8 として示す。)、すなわち、メモリ53 (図5) からデータの読み出しが完了したことを示す信号とを用いて実施する。なお、バスアービタ回路523 (図6) から出力されるデータ読み出し完了信号 (図9には示さず。図6に信号 R_8 として示す。) は、TS読み出しアドレス発生回路5227 (図9) によって、TS読み出しアドレスを発生する際に使用される。

【0042】

図10のステップS6において、メモリ53 (図5) から1TS分のデータの読み出しが完了すると、TSメモリ読み出し制御回路522 (図6) 内のTS読み出しアドレス発生回路5227 (図9) は、TS書き込みアドレス記憶回路5228 (図9) に記憶されている書き込みアドレス情報に基づいて、メモリ53 (図5) に次のラインのTSが記憶

されているか確認し、記憶されている場合には、次のラインのTSのタイムスタンプを読み出すためのTSデータ読み出し制御信号R₆を発生する(図10のステップS7)。なお、メモリ53(図5)に次のラインのTSが記憶されていない場合は、メモリ53(図5)にアンダーフローが起こったものとして、アンダーフローが発生したことをCPU54(図5)に通知する。CPU54(図5)は、アンダーフロー発生が通知されると、一旦、受信側メモリ制御回路52(図5)を所定の初期状態にリセットし、再度、TS受信(図10のステップS1から始まる処理)を実行する。

【0043】

図10のステップS7において、次のラインのTS(「次TS」とも記す。)のタイムスタンプを受け取ると、TSデータ読み出しタイミング生成回路521(図6)内の時刻比較回路5216(図8)は、タイムスタンプ信号R₃と、時刻計測用カウンタ5213(図8)から出力される時刻計測カウント値R₉とを比較し、時刻計測カウント値R₉が入力されたタイムスタンプ信号R₃の値より大きくなったときに(図10のステップS8)、TS読み出しタイミング信号R₄を出力する。TS読み出しタイミング信号R₄を受け取ったTS読み出しアドレス発生回路5227(図9)はTSデータ読み出し制御信号R₆を出力する(図10のステップS5)。

【0044】

受信側メモリ制御回路52(図6)は、図10のステップS5~S8(すなわち、破線で囲うステップS9)の動作を繰り返す。無線受信装置50の発振子が発振する受信側基準クロックが無線送信装置40の発振子が発振する送信側基準クロックよりも速く(すなわち、無線受信装置50における受信側クロック周波数が無線送信装置40における送信側クロック周波数よりも高く)なったときに、時刻計測用カウンタ5213(図8)のカウント値に基づいて得られる受信側クロック周波数とタイムスタンプ信号に基づいて得られる送信側のクロック周波数との間に偏差が生じるので、この偏差に基づいた時間だけ、メモリ53(図5)に一時記憶されたTSの読み出しタイミングを遅らせるように、受信側メモリ制御回路52(図6)を制御する処理をメモリ53(図5)からのTS読み出しごとに実行している。

【0045】

次に、実施の形態1におけるクロック再生フローを、図11及び図12のフローチャートを用いて説明する。無線受信装置50内のCPU54(図5)は、TSの受信が開始されると、無線パケットに付加されているヘッダ情報に基づいて、送信機(無線送信装置40に相当する。)の識別を実施する(図11のステップS11)。送信機の識別は、例えば、無線パケットのヘッダ情報に付加されているMACアドレス、及び、送信機に固有の機器識別情報(例えば、IPアドレス)の一方又は両方を用いて、実施する。機器識別情報として、MACアドレス、又は、IPアドレスを用いれば無線パケットに新たな情報を付加することなく機器識別情報が入手できるので、無線送信装置40及び無線受信装置50の処理負荷を軽減できると共に、通信帯域に負荷をかけることなく送受信を行うことができる。

【0046】

送信機の識別を実施した後、CPU54(図5)は、送信機の機器識別情報に基づいて、無線受信装置50内の記憶部(例えば、メモリ53の一部、又は、図示しない他のメモリ)に、識別した送信機の時刻補正值(以前の時刻補正值)が既に記憶されているか否かを確認する(図11のステップS12)。無線受信装置50内に識別した送信機の時刻補正值(すなわち、クロックジッタ補正值)が既に記憶されている場合は、CPU54(図5)は、記憶されている時刻補正值を初期値としてTSデータ読み出しタイミング生成回路521(図6)内の時刻補正值記憶レジスタ5215(図8)にセットする(図11のステップS13)。無線受信装置50内に識別した送信機の時刻補正值が記憶されていない場合は、CPU54(図5)は、時刻補正值記憶レジスタ5215(図8)に初期値‘0’をセットする(図11のステップS14)。このように、無線受信装置50内に記憶されている時刻補正值(例えば、過去のデータ受信によって取得した以前の時刻補正值)

がある場合に、記憶されている以前の時刻補正値を初期値として利用する理由は、以下の通りである。無線受信装置 50 は、VBR の TS のクロック再生を実施する。VBR の TS の平均データ伝送レートは 20 Mbps 程度であるが、短い時間単位においては、平均データ伝送レートは大きく変動する。このため、ある程度長い時間で評価すれば、平均データ伝送レートはほぼ一定であり、クロックジッタ値の推定が可能になる。そこで、実施の形態 1 においては、最小の計測時間を 1 GOP の期間としている。このように、クロックジッタ値の推定には非常に時間がかかるので、無線送信装置 40 に、以前 TS 受信を実施した際に計測した計測結果（以前の時刻補正値）が記憶されている場合には、クロック再生の開始時点において、既に記憶されている以前の時刻補正値を使用することによって、時刻補正値が所定範囲内に収束するまでの時間（後述する図 11 のステップ S17 において時刻補正値が収束するまでに要する時間）の短縮を図ることができる。

【0047】

TS データ読み出しタイミング生成回路 521（図 6）内の時刻補正値記憶レジスタ 5215（図 8）に初期値のセットが完了した後、CPU 54（図 5）は、TS メモリ読み出し制御回路 522（図 6）内の積分結果記憶レジスタ 5230（図 9）、TS 出力数記憶レジスタ 5232（図 9）、及び計測時間記憶レジスタ 5234（図 9）に、初期値‘0’をセットする。その際、TS メモリ読み出し制御回路 522（図 6）内のメモリ記憶データ量積分回路 5229（図 9）、TS 出力数計測カウンタ 5231（図 9）、及び計測時間測定カウンタ 5233（図 9）にも、初期値‘0’をセットする（図 11 のステップ S15）。各種レジスタの初期化が終了すると、CPU 54（図 5）は、目標値の計測及び設定を実施する（図 11 のステップ S16）。以下、図 12 を用いて目標値の計測方法について説明する。

【0048】

TS の受信が開始されると、目標値の計測が開始される。目標値の計測に際しては、はじめに、メモリ 53（図 5）から TS の読み出しが開始されたか否かを確認する（図 12 のステップ S31）。メモリ 53（図 5）からの TS の読み出しが開始されたことを確認すると、CPU 54（図 5）は、目標値を計測するための時間（目標値計測時間）を内部のタイマーにセットする（図 12 のステップ S32）。例えば、目標値計測時間を 1 GOP の時間である 0.5 秒に設定する。なお、目標値計測時間を複数 GOP 分の時間に設定することもできる。

【0049】

次に、タイマーにセットされた目標値計測時間が経過するまで、CPU 54（図 5）は待機する（図 12 のステップ S33）。目標値計測時間の経過後、CPU 54（図 5）は、TS メモリ読み出し制御回路 522（図 6）内の積分結果記憶レジスタ 5230（図 9）、TS 出力数記憶レジスタ 5232（図 9）、及び計測時間記憶レジスタ 5234（図 9）に記憶されている計測結果を読み込み（図 12 のステップ S34）、その後、積分結果記憶レジスタ 5230（図 9）、TS 出力数記憶レジスタ 5232（図 9）、及び計測時間記憶レジスタ 5234（図 9）に初期値‘0’をセットする（図 12 のステップ S35）。このとき、TS メモリ読み出し制御回路 522（図 6）内のメモリ記憶データ量積分回路 5229（図 9）、TS 出力数計測カウンタ 5231、及び計測時間測定カウンタ 5233 をも初期値‘0’にセットする。

【0050】

次に、CPU 54（図 5）は、各種レジスタ値を用いて目標値の算出を実施する。具体的には、TS メモリ読み出し制御回路 522（図 6）内の TS 出力数記憶レジスタ 5232（図 9）に記憶されている値 A_{10} を計測時間記憶レジスタ 5234（図 9）に記憶されている値 B_{10} で除算することによって、TS の平均読み出しレート C_{10} ($=A_{10}/B_{10}$) を算出する。次に、積分結果記憶レジスタ 5230（図 9）に記憶されている値 D_{10} を、TS の平均読み出しレート C_{10} で除算することによって、目標値 E_{10} ($=D_{10}/C_{10}$) を算出する（図 12 のステップ S36）。なお、実施の形態 1 においては、メモリ記憶データ量積分回路 5229（図 9）における積分は、図 13 に示される

ように、基準容量 F_0 とメモリ記憶データ量との差分 ΔF を積分するものとする。従って、図 13 において斜線で示した部分の面積がメモリ記憶データ量積分回路 5229 (図 9) における積分結果 D_{10} として出力される。また、実施の形態 1 においては、メモリ記憶データ量積分回路 5229 (図 9) における積分を、メモリ 53 (図 5) から TS が読み出されるタイミング (時刻 t_{11} , 時刻 t_{13}) で実施する。以上の処理によって、目標値 E_{10} の計測及び設定が完了する。

【0051】

以上の処理によって目標値 E_{10} の計測及び設定が完了すると、時刻補正值 (クロックジッタ補正值) の算出が開始される。CPU 54 (図 5) は、予め定められた計測時間が経過するまで待機する (図 11 のステップ S18)。図 11 のステップ S18 における計測時間は、目標値設定の際に用いた目標値計測時間 (図 12 のステップ S32) と同様に、1 GOP の時間とする。図 11 のステップ S18 において計測時間が経過した後、目標値計測の場合と同様に、CPU 54 (図 5) は、積分結果記憶レジスタ 5230 (図 9)、TS 出力数記憶レジスタ 5232 (図 9)、及び計測時間記憶レジスタ 5234 (図 9) に記憶されている計測結果を読み込み (図 11 のステップ S19)、その後、積分結果記憶レジスタ 5230 (図 9)、TS 出力数記憶レジスタ 5232 (図 9)、及び計測時間記憶レジスタ 5234 (図 9) を初期値 '0' にセットする (図 11 のステップ S20)。このとき、メモリ記憶データ量積分回路 5229 (図 9)、TS 出力数計測カウンタ 5231、及び計測時間測定カウンタ 5233 をも初期値 '0' にセットする。

【0052】

次に、CPU 54 (図 5) は、各種レジスタ値を用いて、目標値計測の場合 (図 12 のステップ S36) と同様に、TS 出力数記憶レジスタ 5232 (図 9) に記憶されている値 A_{11} を計測時間記憶レジスタ 5234 (図 9) に記憶されている値 B_{11} で除算することによって、上記期間における TS の平均読み出しレート C_{11} ($= A_{11} / B_{11}$) を算出する。次に、積分結果記憶レジスタ 5230 (図 9) に記憶されている値 D_{11} を TS の平均読み出しレート C_{11} で除算することによって、計測値 E_{11} ($= D_{11} / C_{11}$) を算出する。

【0053】

そして、上記計測値 E_{11} と上記目標値 E_{10} との偏差 (すなわち、差分) を計算し、計算された偏差に対応する値を時刻補正值 (クロックジッタ補正值) とする。実施の形態 1 においては、クロックジッタ補正值に関しては、図 15 に示すような予め定められた変換テーブル、すなわち、算出された偏差とクロックジッタ補正值とを対応付けた変換テーブルを 2 つ準備しておき、クロックジッタ補正值を算出する。なお、準備しておく変換テーブルの数は 1 つ又は 3 つ以上であってもよい。

【0054】

次に、図 14 を用いて、クロックジッタ値を具体的に説明する。図 14 は、無線受信装置 50 の受信側クロック周波数が無線送信装置 40 の送信側クロック周波数よりも高く、無線受信装置 50 の基準クロックが無線送信装置 40 の基準クロックよりも速い場合を示している。なお、実際のクロック周波数の偏差は、無線送信装置 40 の発振子と無線受信装置 50 の発振子の精度に依存し、水晶発振子を使用した場合、最大のクロック偏差は、 $\pm 100 \text{ ppm}$ (parts per million) 程度となる。なお、図 14 においては、説明をわかりやすくするため、クロックジッタ値を強調して描いている (すなわち、線分 $d_{21} d_{25}$ に対する線分 $d_{21} d_{25a}$ の勾配を実際よりも急に描いている)。このように、無線受信装置 50 の受信側クロック周波数が無線送信装置 40 の送信側クロック周波数よりも高いので、無線受信装置 50 内の時刻計測用カウンタ 5213 (図 8) のカウント値が速く進み、メモリ 53 (図 5) に記憶されている TS のデータ量が徐々に (図 14 の線分 $d_{21} d_{25a}$ のように) 減ってくる。この場合、受信側クロック周波数と送信側クロック周波数との間の偏差は、一定である。したがって、図 14 に示した斜線部分がクロックジッタ値 (上記計測値 E_1 と上記目標値 E_0 との差分に対応する値) になる。よって、CPU 54 (図 5) は、クロックジッタ値に応じたクロッ

クジッタ補正値を算出する。そして、CPU 54 (図5) は、算出したクロックジッタ補正値を時刻補正値記憶レジスタ 5215 (図8) にセットする (図11のステップS21)。なお、算出したクロックジッタ補正値は、既に時刻補正値記憶レジスタ 5215 (図8) によって制御されている制御結果に基づいたものであるもので、上記アルゴリズムで算出されるクロックジッタ値はその差分である。従って、時刻補正値記憶レジスタ 5215 (図8) にクロックジッタ補正値をセットする場合は、現在のセットされているクロックジッタ補正値に、上記算出したクロックジッタ補正値を加算する。

【0055】

実施の形態1においては、クロックジッタ補正値算出の際、TSの平均読み出しレート C_{10} (目標値 E_{10} 算出時) 及び C_{11} (計測値 E_{11} 算出時) を使用する。これは以下の理由による。メモリ記憶データ量積分回路 5229 (図9) でメモリ 53 (図5) 内に書き込まれた記憶データ量を積分するタイミングの制御を簡単にするために、TS読み出しアドレス発生回路 5227 (図9) でTSをメモリ 53 (図5) から読み出すタイミングに同期して読み出すよう構成した。従って、平均データ転送レートが 20 Mbps のTSを受信している場合と、平均データ転送レートが 5 Mbps のTSを受信している場合とでは、求めるクロックジッタ値 (図14の斜線領域の積分値に相当する。) の大きさが異なるため、それを正規化するためにTSの平均読み出しレートで正規化するよう構成した。

【0056】

次に、クロックジッタ補正値を用いたクロック再生方法について説明する。TSデータ読み出しタイミング生成回路 521 (図6) 内の時刻計測用カウンタ制御回路 5214 (図8) においては、予め定められた時間間隔ごとに (実施の形態1においては 100 ms ごとに)、時刻補正値記憶レジスタ 5215 (図8) に記憶されているクロックジッタ補正値を時刻計測用カウンタ 5213 のカウント値に加算することによって、時刻計測用カウンタ 5213 (図8) の出力値を補正する。図14に示されるケースは、無線受信装置 50 内の受信側クロック周波数が無線送信装置 40 内の送信側クロック周波数よりも高く、メモリ 53 (図5) の記憶データ量が減少しつつある場合を示している。この場合には、時刻計測用カウンタ 5213 は、100 ms に1度、クロックジッタ補正値分、時刻が戻される (強制的に時刻を遅らせる。)。このようにクロックジッタ補正値分、時刻を戻すことによって、無線受信装置 50 内におけるクロック周波数に基づく動作時刻を、無線送信装置 40 内のクロック周波数に基づく動作時刻に近づけることができる。

【0057】

実施の形態1に示されるように、無線受信装置 50 においてはクロック再生 (クロックジッタ補正) の際に、TSデータ読み出しタイミング生成回路 521 (図6) 内の時刻計測カウンタ 5213 (図8) のカウンタ値に、一定の周期で時刻補正値記憶レジスタ 5215 (図8) に記憶されている時刻補正値 (クロックジッタ補正値) をオフセットとして加えるよう構成している。無線受信装置 50 内のシステムクロック周波数を変えずに、適切なクロック再生を実現できる。従って、実施の形態1の無線受信装置 50 を用いれば (すなわち、実施の形態1のデータ受信方法を用いれば)、複数の無線送信装置から送られてきたTSのそれぞれをメモリ 53 (図5) 内の異なる記憶領域に記憶すると共に、それぞれの記憶領域に対応した時刻計測カウンタ 5213 (図8) を備えることにより、複数の無線送信装置から送られてきたTSのそれぞれの読み出しタイミングを発生すれば、受信した複数のTSのクロック再生を並行して実行できる。

【0058】

クロックジッタ補正値の算出及びセットが終了すると、CPU 54 (図5) は、クロックジッタ補正値が、収束したか否かを判断する。具体的には、計算されたクロックジッタ補正値が所定範囲内に入っていた場合に、収束したと判断する (図11のステップS22)。収束していないと判断された場合は、再度、同一の計測条件でクロックジッタ計測を開始する。収束したと判断した場合は、計測時間を変更し (図11のステップS23)、再度、クロックジッタの計測を開始する (図11のステップS18以降)。その際、クロ

ックジッタ補正值算出用の変換テーブルも、図15に示される実線の変換テーブル（勾配の急な直線）から、破線の変換テーブル（勾配の緩やかな直線）に変更することが望ましい。これは、以下の理由による。クロックジッタ値はシステムクロック周波数の偏差に依存するため、機器が特定されればほぼ一定の値になる。従って、クロックジッタ補正值をある一定の収束範囲内まで引き込む際（例えば、受信開始直後）には、クロックジッタ補正值算出の際のゲイン（変換テーブルを示す直線の勾配）を大きくして、引き込み時間を短縮する。そして、クロックジッタ補正值をある一定の収束範囲内まで引き込んだ後には、ゲインを小さくして、システムの安定性を重視するよう構成する。これにより、クロックジッタ補正值を収束範囲内までの引き込む時間を短縮できると共に、クロックジッタ補正值を収束範囲内にした後は無線受信装置50を安定に動作させることができる。また、実施の形態1において、計測時間を長くする理由は、計測時間を長くして計測値の精度を向上させ、クロックジッタ補正值の収束後に無線受信装置50を安定に動作させることができるようにするためである。なお、実施の形態1においては、クロックジッタ値が収束しても、PLL（Phase-Locked Loop）制御等を採用していないので、データ受信時にはクロックジッタ補正值を更新し続ける必要がある。

【0059】

以上に説明したように、実施の形態1のデータ受信方法（実施の形態1の無線受信装置50）を用いれば、ジッタを有する無線を介して伝送されたVBRのTSを受信する場合であっても、アンダーフロー、あるいはオーバーフローを生じさせることなく連続的にTSを出力することができる。このため、MP EG2システムのTSを受信側の機器で復号し再生する場合に、映像を途切れさせることなくMP EG2データを再生することができる。

【0060】

また、実施の形態1のデータ受信方法（実施の形態1の無線受信装置50）を用いれば、受信側メモリ53が複数の記憶領域を有するので、1台の無線受信装置50で複数のデータ送信装置から出力されるパケットデータを受信することができ、各々の受信パケットデータごとにアンダーフロー、あるいはオーバーフローを生じさせることなく連続的にデータを出力することができる。また、受信側メモリ53が複数の記憶領域を有するので、簡単な回路構成で複数のストリームを扱うことができ、回路規模の抑制、及び、消費電力及び製造コストの低減を図ることができる。

【0061】

実施の形態2.

図16は、本発明の実施の形態2における無線受信装置のクロックジッタ検出動作を示すフローチャートである。また、図17は、実施の形態2における無線受信装置による変換テーブル選択のために使用されるテーブルを示す図である。また、図18は、実施の形態2における無線受信装置がクロックジッタ補正值を算出するために使用する変換テーブルを示す図である。

【0062】

実施の形態2におけるデータ受信方法は、メモリ記憶データ量積分回路5229（図9）における積分方法、クロックジッタ補正值の収束判定方法、及びクロックジッタ検出方法を除き、上記実施の形態1におけるデータ受信方法と同じである。具体的に言えば、実施の形態1と実施の形態2は、以下の相違点を持つ。実施の形態1においては、メモリ記憶データ量積分回路5229（図9）によってメモリ53（図5）に記憶されているTSの記憶データ量を積分するタイミングは、制御を簡単にするために、TSメモリ読み出し制御回路522（図6）内のTS読み出しアドレス発生回路5227（図9）によりメモリ53（図5）からTSを読み出すタイミングに同期するように構成している。これに対し、実施の形態2においては、TSの記憶データ量を積分するタイミングは、無線受信装置内の受信側クロック周波数に基づいて作成した予め定められたタイミングになるように構成している。なお、以下の実施の形態2の説明においては、上記実施の形態1において用いた図1～図10及び図12をも参照する。また、図16において、図11のステップ

と同じ処理を行うステップには、同じ符号を付す。

【0063】

実施の形態2における無線送信装置40から送信されたTSを含む無線パケットを受信した際の無線受信装置50におけるクロック再生フローについて、図16及び図12を用いて説明する。図16に示されるように、無線受信装置50内のCPU54(図5)は、TSの受信が開始されると、無線パケットに付加されているヘッダ情報に基づいて、送信機(無線送信装置40に相当する。)の識別を実施する(図16のステップS11)。送信機の識別は、例えば、無線パケットのヘッダ情報に付加されているMACアドレス、及び、送信機に固有の機器識別情報(例えば、IPアドレス)の一方又は両方を用いて、実施する。機器識別情報として、MACアドレス、又は、IPアドレスを用いれば、無線パケットに新たな情報を付加することなく機器識別情報が入手できるので、無線送信装置40及び無線受信装置50の処理負荷を軽減することができると共に、通信帯域に負荷をかけることなく送受信を行うことができる。

【0064】

送信機の識別を実施した後、無線受信装置50内のCPU54(図5)は、送信機の機器識別情報に基づいて、無線受信装置50内の記憶部(例えば、メモリ53の一部、又は、図示しない他のメモリ)に、過去に識別された送信機の時刻補正值(「以前の時刻補正值」とも言う。)が既に記憶されているか否かを確認する(図16のステップS12)。

【0065】

図16のステップS12において、無線受信装置50内に以前の時刻補正值(クロックジッタ補正值)が既に記憶されている場合は、CPU54(図5)は、記憶されている以前の時刻補正值を初期値としてTSデータ読み出しタイミング生成回路521(図6)内の時刻補正值記憶レジスタ5215(図8)にセットする(図16のステップS13)。その後、目標値を計測するために用いる計測時間 $T(n)$ をセットし、クロックジッタ補正值算出用の変換テーブルを $Table(n)$ をセットする(図16のステップS41)。ここで、 n は i であり、図17に示されるように、実施の形態2においては、 i は0から4までの5通りの値をとることができる。また、クロックジッタ補正值算出の際の収束結果に応じて i の値を切り替えることにより、計測時間 $T(n)$ 及びクロックジッタ補正值算出用の変換テーブル $Table(n)$ を切り換えることができるように構成している。

【0066】

図16のステップS12において、無線受信装置50内に以前の時刻補正值が記憶されていない場合は、時刻補正值記憶レジスタ5215(図8)に初期値「0」をセットする(図16のステップS14)。その後、 $n=i=0$ とし、計測時間を $T(0)$ にセットし、クロックジッタ補正值算出用の変換テーブルを $Table(0)$ にセットする(図16のステップS42)。これは、以下の理由による。実施の形態1の場合と同様に、VBRのTSのクロック再生を実施する場合には、計測時間が短い時間単位においては平均データ伝送レートが大きく変動する。このため、ある程度長い時間で評価すれば、平均データ伝送レートはほぼ一定であり、クロックジッタ値の推定が可能になる。しかし、実施の形態1において用いたGOPの受信データ量が常に一定である保証はない。従って、クロックジッタ値をより一層高精度に推定しようとした場合、計測時間を長くする必要がある。一方、無線送信装置40と無線受信装置50の間の水晶発振子のクロック周波数の偏差が、無線送信装置40については中心周波数に対して -100 ppm (parts per million)であり、無線受信装置50については中心周波数に対して $+100\text{ ppm}$ である場合に、システムクロックを 27 MHz とすると、それぞれのシステムクロック周波数は以下ようになる。

無線送信装置40のクロック周波数 $=26.9973\text{ MHz}$

無線受信装置30のクロック周波数 $=27.0027\text{ MHz}$

従って、1秒間のクロック数の差は、 5400 クロック $(=27.0027\text{ MHz}-26.9973\text{ MHz}=0.0054\text{ MHz})$ になる。よって、1秒当たりの時間のずれ量は $(1/5400)$ 秒、すなわち、約 $200\text{ }\mu\text{s}$ となる。

【0067】

一方、TSに許容されるジッタの最大値は $50\mu s$ であるので、無線受信装置50は、できるだけ早くクロックジッタの補正を収束させる必要がある。VBRの場合、最小の制御単位は1GOPであり、送受信開始時には1GOP単位によるクロックジッタ補正制御になるため、なるべく早く所定のクロック周波数偏差以下にクロックジッタ値を抑え込まなければならない。従って、クロックジッタ値の推定のために複数の計測時間、及び複数のジッタ補正テーブルを持つよう構成し、送受信開始時（及び送受信開始時直後の期間）にはクロックジッタ値の急速な収束のための粗調整（ラフなクロックジッタ補正）を実施し、クロックジッタ値の収束の程度に応じて、徐々に微調整（精度の高いクロックジッタ補正）を実行するように構成した。また、実施の形態2においては、実施の形態1と同様に、無線送信装置40と以前TS受信を実施した際に計測した計測結果が記憶されていた場合は、記憶されていた時刻補正值を使用することによって（すなわち、クロック周波数の偏差を小さく抑えることができる時刻補正值を使用することによって）、受信開始時からシステム動作の安定化を図ることができる。

【0068】

計測時間 $T(n)$ 及びクロックジッタ補正值算出用の変換テーブルTable(n)のセットを完了した後、CPU54（図5）は、TSメモリ読み出し制御回路522（図6）内の積分結果記憶レジスタ5230（図9）、TS出力数記憶レジスタ5232（図9）、及び計測時間記憶レジスタ5234（図9）に初期値‘0’をセットする。このとき、TSメモリ読み出し制御回路522（図6）内のメモリ記憶データ量積分回路5229（図9）、TS出力数計測カウンタ5231、及び計測時間測定カウンタ5233をも初期値‘0’にセットする（図16のステップS16）。各種レジスタの初期化が終了すると、次に目標値の計測及び設定を実施する（図16のステップS16）。以下、実施の形態2における目標値の計測方法について、図12を用いて説明する。

【0069】

実施の形態2における無線受信装置50は、実施の形態1の場合と同様に、TSの受信が開始されると、目標値の計測を開始する。なお、図12のステップS31～S33における動作は、実施の形態1の場合と同様である。なお、実施の形態2においては、目標値の計測の際の計測時間（以下「目標値計測時間」と言う。）を2秒とした場合について説明する。目標値計測時間の経過後（受信した先頭のTSが読み出されてから2秒後）、CPU54（図5）は、TSメモリ読み出し制御回路522（図6）内の積分結果記憶レジスタ5230（図9）、TS出力数記憶レジスタ5232（図9）、及び計測時間記憶レジスタ5234（図9）に記憶されている計測結果を読み込む（図12のステップS34）と共に、積分結果記憶レジスタ5230（図9）、TS出力数記憶レジスタ5232（図9）、及び計測時間記憶レジスタ5234（図9）を初期値‘0’にセットする（図12のステップS35）。このとき、TSメモリ読み出し制御回路522（図6）内のメモリ記憶データ量積分回路5229（図9）、TS出力数計測カウンタ5231（図9）、及び計測時間測定カウンタ5233（図9）をも初期値‘0’にセットする。

【0070】

次に、CPU54（図5）は、各種レジスタ値を用いて目標値の算出を実施する。具体的には、TSメモリ読み出し制御回路522（図6）内のTS出力数記憶レジスタ5232（図9）に記憶されている値 A_{20} を計測時間記憶レジスタ5234（図9）に記憶されている値 B_{20} で除算することによって、TSの平均読み出しレート C_{20} （ $=A_{20}/B_{20}$ ）を算出し、算出結果を記憶する。次に、CPU54（図5）は、積分結果記憶レジスタ5230（図9）に記憶されている値 D_{20} を計測時間記憶レジスタ5234（図9）に記憶されている値 B_{20} で除算することによって、目標値 E_{20} （ $=D_{20}/B_{20}$ ）を算出する（図12のステップS36）。なお、実施の形態2においては、実施の形態1と同様に、図13に示されるように、基準容量 F_0 とメモリ記憶データ量との差分 ΔF を積分するものとする。従って、図13において斜線で示した部分の面積に相当する値がメモリ記憶データ量積分回路5229（図9）における積分結果 D_{20} として出力さ

れる。なお、実施の形態2においては、メモリ記憶データ量積分回路5229(図9)における積分タイミングを無線受信装置50内の基準クロックに基づいて作成する点で、メモリ記憶データ量積分回路5229(図9)における積分タイミングをTS読み出しタイミングに一致させた実施の形態1の場合と異なる。このため、目標値を設定する際には、実施の形態1の場合のように、メモリ記憶データ量積分回路5229(図9)の積分値をメモリ53(図5)から読み出したTSの平均読み出しレートで除算するのではなく、メモリ記憶データ量積分回路5229(図9)の積分値を計測時間で除算することによって、目標値を求める。

【0071】

上記方法で目標値の計測及び設定が完了すると、クロックジッタ補正値の算出が開始される。CPU54(図5)は、予め定められた計測時間 $T(n)$ が経過するまで待機する(図16のステップS18)。実施の形態2においては、計測時間 $T(n)$ は図17に示す $i=n$ の値に基づき設定される。既に、クロックジッタ補正値を取得している場合($i=4$ の場合)には計測時間 $T(n)$ は8秒(図17における $i=4$)に設定され、クロックジッタ補正値を取得していない場合には計測時間 $T(n)$ は0.5秒(図17における $i=0$)とする。計測時間 $T(n)$ 経過後に、目標値計測の場合と同様に、CPU54(図5)は、TSメモリ読み出し制御回路522(図6)内の積分結果記憶レジスタ5230(図9)、TS出力数記憶レジスタ5232(図9)、及び計測時間記憶レジスタ5234(図9)に記憶されている計測結果を読み込む(図16のステップS19)と共に、積分結果記憶レジスタ5230(図9)、TS出力数記憶レジスタ5232(図9)、及び計測時間記憶レジスタ5234(図9)を初期値‘0’にセットする(図16のステップS20)。このとき、メモリ記憶データ量積分回路5229(図9)、TS出力数計測カウンタ5231(図9)、及び計測時間測定カウンタ5233(図9)も初期値‘0’にセットする。

【0072】

次に、CPU54(図5)は、各種レジスタ値を用いて、目標値計測の場合(図12のステップS36)と同様に、計測値の算出を実施する。具体的には、TS出力数記憶レジスタ5232(図9)に記憶されている値 A_{21} を計測時間記憶レジスタ5234(図9)に記憶されている値で B_{21} 除算することによって、上記期間におけるTSの平均読み出しレート C_{21} ($=A_{21}/B_{21}$)を算出する。そして、上記TSの平均読み出しレート情報に基づいて、計測期間内でTSの受信データレートが所定値よりも大きく変化したか否かを確認する。TSの平均読み出しレート C_{21} が所定値よりも大きく変化した場合は、実施の形態2においては、再度、目標値の設定ルーチンに入り、目標値を変更する。これは、以下の理由による。クロックジッタ値は、無線送信装置40及び無線受信装置50の間のシステムクロックの周波数偏差に起因するものである。従って、受信中に受信レートが変化してもクロックジッタ値は変化しない。実施の形態2においては、メモリ53(図5)内に所定量のTSを記憶した後、読み出し制御を開始する。従って、無線受信装置50においてはTSの平均受信レートが変化した場合、メモリ53(図5)に記憶する所定のTS数分の遅れ時間を有する。例えば、平均受信データレートが20Mbpsから12Mbpsに変化した場合は、メモリ53(図5)に記憶されるTSの量は20MbpsのTSを受信していた場合と比較して遅れ時間分のTS受信レート差(8Mbps)分だけメモリ53(図5)に記憶されている平均記憶データ量が減少する。一方、平均受信データレートが8Mbpsから20Mbpsに上がった場合は、反対に遅れ時間分のTS受信レート差(12Mbps)分だけメモリ53(図5)に記憶されている平均記憶データ量が増加する。従って、実施の形態2においては、TSの平均読み出しレートの算出結果を用いて、目標値を再度設定し直すか否かを判断する。

【0073】

目標値の再設定の必要がない場合は、TSメモリ読み出し制御回路522(図6)内の積分結果記憶レジスタ5230(図9)に記憶されている値 D_{21} を計測時間記憶レジスタ5234(図9)に記憶されている値 B_{21} で除算することによって、計測値 E_{21} (

$= D_{21} / B_{21}$) を算出する。

【0074】

そして、上記計測値 E_{21} (すなわち、先頭 TS より後に受信された TS について得られた計測値) と上記目標値 E_{20} (すなわち、先頭 TS について得られた計測値) との偏差 (すなわち、差分) を計算し、計算された偏差に対応する値を時刻補正值 (クロックジッタ補正值) とする。実施の形態 2 においては、クロックジッタ補正值に関しては、図 18 に示すような予め定められた計算結果 (偏差) とクロックジッタ補正值とを対応付けた変換テーブルを複数準備しておき (実施の形態 2 においては 5 つ)、 i の値に応じてクロックジッタ補正用のテーブルを切り換えてクロックジッタ補正值を算出する。そして、算出結果をクロックジッタ補正值として時刻補正值記憶レジスタ 5215 (図 8) にセットする (図 16 のステップ S21)。なお、算出したクロックジッタ補正值は、既に時刻補正值記憶レジスタ 5215 (図 8) によって制御されている制御結果に基づいたものである。従って、TS データ読み出しタイミング制御回路 521 (図 6) 内の時刻補正值記憶レジスタ 5215 (図 8) にクロックジッタ補正值をセットする場合は、現在セットされているクロックジッタ補正值に上記算出したクロックジッタ補正值を加算した値をセットする。

【0075】

次に、クロックジッタ補正值を用いたクロック再生方法に関して説明する。実施の形態 1 と同様に、TS データ読み出しタイミング生成回路 521 (図 6) 内の時刻計測用カウンタ制御回路 5214 (図 8) においては、予め定められた時間間隔ごとに (実施の形態 2 においては 100ms ごと)、時刻補正值記憶レジスタ 5215 (図 8) に記憶されているクロックジッタ補正值を時刻計測用カウンタ値に加算することによって、時刻計測用カウンタ 5213 (図 8) の出力値を補正する。図 14 に示されるケースは、無線受信装置 50 内の受信側クロック周波数が無線送信装置 40 内の送信側クロック周波数よりも高く、メモリ 53 (図 5) の記憶データ量が減少しつつある場合を示している。この場合には、時刻計測用カウンタ 5213 は、100ms に 1 度、クロックジッタ補正值分、時刻が戻される (強制的に時刻を遅らせる。)。このようにクロックジッタ補正值分、時刻を戻すことによって、無線受信装置 50 内におけるクロック周波数に基づく動作時刻を、無線送信装置 40 内のクロック周波数に基づく動作時刻に近づけることができる。

【0076】

クロックジッタ補正值の算出及びセットが終了すると、CPU 54 (図 5) は、クロックジッタ補正值が、収束したか否かを判断する。具体的には、計算されたクロックジッタ補正值が所定値の範囲内に入っている場合に、収束したと判断する (図 16 のステップ S22)。収束していないと判断された場合は、再度、同一の計測条件でクロックジッタ計測を開始する。収束したと判断された場合は、計測時間 $T(n)$ 及びクロックジッタ算出用のテーブル $Table(n)$ を変更し、再度、クロックジッタの計測を開始する (このとき、 $i = i + 1$ も実施する。)(図 16 のステップ S43)。その際、クロックジッタ補正值算出用の変換テーブルも、図 18 に示されるように変更する。なお、 $i = 4$ の場合には、収束は完了しているものと判断し、計測時間及びクロックジッタ補正用のテーブルの変更は行わない。

【0077】

以上の制御を行う理由は、実施の形態 1 の場合と同様に、以下のとおりである。クロックジッタは、システムクロック周波数の偏差に依存するため、機器が特定されればほぼ一定の値になる。従って、クロックジッタ補正值をある一定の収束範囲内まで引き込む際にはクロックジッタ補正值算出の際のゲイン (図 18 の直線の勾配) を大きくして引き込み時間を早くする。そして、クロックジッタ補正值をある収束範囲内まで引き込んだ後には、クロックジッタ補正值算出の際のゲインを小さくしてシステムの安定性を重視するように構成する。このような制御を複数の段階に分けて切り換えることによって、システムの収束を早めると共に、収束前の段階においてもシステムをより安定に動作させることができ

る。同様に、計測時間を長くするのは、計測時間を長くして計測値の精度を向上させ、収束時のシステムの安定化を図るためである。なお、実施の形態2においては、クロックジッタに関しては、収束してもPLL制御等を採用していないので、データ受信時にはクロックジッタ補正値を更新し続ける必要がある。

【0078】

以上に説明したように、実施の形態2のデータ受信方法を用いれば、ジッタを有する無線を介して伝送されたVBRのTSを受信する場合であっても、アンダーフロー、あるいはオーバーフローを生じさせることなく連続的にTSを出力することができる。このため、MP EG2システムのTSを受信側の機器で復号し再生する場合に、映像を途切れさせることなくMP EG2データを再生することができる。なお、実施の形態2において、上記以外の点は、上記実施の形態1の場合と同じである。

【0079】

また、実施の形態2のデータ受信方法を用いれば、平均受信レートが大きく変化した場合はクロック周波数の偏差を計算する際の目標値を再設定するように制御するので、受信したデータの平均受信レートが変化した場合であっても、クロック再生を行うことができる。このため、MP EG2システムのTSを受信側の機器で復号し再生する場合に、映像を途切れさせることなくMP EG2データを再生することができる。

【0080】

変形例の説明。

上記実施の形態1及び2においては、図4に示されるように、188バイトのTSの先頭に4バイトのタイムスタンプを付加し伝送する場合について説明したが、本発明のデータ受信装置（無線受信装置）及びデータ受信方法の適用範囲はこのような場合に限定されるものではなく、例えば、2バイトのタイムスタンプを付加する、又は、無線伝送の際に発生するランダム誤りを訂正するためにリード・ソロモン符号等の誤り訂正符号を、図4に示される192バイトのデータの後に付加する等の変更を加えてもよい。また、誤り訂正符号は、TSのみに付加してもよく、また、タイムスタンプとTSのそれぞれに対して付加してもよい。

【0081】

また、上記実施の形態1及び2においては、TSを無線伝送する際に、無線区間におけるオーバーヘッドを極力小さくするため、タイムスタンプ付きTSを予め定められた数（7個のTS）を集め無線パケットを構成する場合について説明したが、本発明のデータ受信装置（無線受信装置）及びデータ受信方法の適用範囲はこのような場合に限定されるものではなく、例えば、8個以上のTSを集めて無線パケットを構成してもよく、又は、6個以下のTSを集めて無線パケットを構成してもよい。さらに、無線区間のパケットエラー率に応じて伝送するパケット長を変えてもよい。例えば、パケットエラー率が高い場合は、無線パケット長を短くし、再送制御によるオーバーヘッドを極力小さくするよう制御すれば、効率よくTSを送受信することができる。

【0082】

また、上記実施の形態1及び2においては、無線受信装置50で最大2本のTSを扱う場合について説明したが、本発明のデータ受信装置（無線受信装置）及びデータ受信方法の適用範囲はこのような場合に限定されるものではなく、3本以上のTSを同時に扱うようにすることもできる。3本以上のTSを無線受信装置50で扱う場合は、扱う最大のTS数分の記憶領域をメモリ53（図5）内に確保すると共に、各々の記憶領域に対応したTSデータ読み出しタイミング生成回路521（図6）を用いてメモリ53（図5）に記憶されたTSの読み出しタイミングを発生すれば、受信した各々のTSごとにクロック再生（クロックジッタ補正）を行うことができる。

【0083】

また、上記実施の形態1及び2においては、受信パケットの平均伝送レートをメモリ53（図5）から読み出されるTSのパケット数で求めるよう構成したが、本発明のデータ受信装置（無線受信装置）及びデータ受信方法の適用範囲はこのような場合に限定される

ものではなく、例えば、受信した無線パケット内のTSをメモリ53（図5）へ書き込む際のパケット数から算出してもよい。また、受信パケットの平均伝送レートを、直接無線LANモジュール51（図5）で受信した際に、求めるように構成してもよい。

【0084】

また、上記実施の形態1及び2においては、送信機（無線送信装置）の機器識別に、MACアドレス又はIPアドレスを使用する場合について説明したが、本発明のデータ受信装置（無線受信装置）及びデータ受信方法の適用範囲はこのような場合に限定されるものではなく、送信機と一対一で決まる情報であれば、他の機器固有情報を用いてもよい。

【0085】

また、上記実施の形態1においては、クロックジッタ計測のための目標値を算出する際に、計測時間を1GOPの期間（0.5秒）にセットしたが、本発明のデータ受信装置（無線受信装置）及びデータ受信方法の適用範囲はこのような場合に限定されるものではなく、計測時間を1秒又は2秒等の他の値に設定してもよい。

【0086】

また、上記実施の形態1においては、TSデータ読み出しタイミング生成回路521（図6）内の時刻計測用カウンタ5213（図8）の時刻補正間隔を100msとした場合を説明したが、本発明のデータ受信装置（無線受信装置）及びデータ受信方法の適用範囲はこのような場合に限定されるものではなく、10ms又は200ms等の他の値に設定してもよく、使用している発振機、又は、発振子の精度に基づいて決定すればよい。

【0087】

また、上記実施の形態1及び2においては、MPEG2システムのTSをジッタを有する無線ネットワークを介して伝送する場合について説明したが、本発明のデータ受信装置（無線受信装置）及びデータ受信方法の適用範囲はこのような場合に限定されるものではなく、例えば、他の圧縮方式で伝送されるビデオデータ、MPEG2システムのPES（Packetized Elementary Stream）フォーマット、電話等の音声データ、又はCD等から再生されたデジタルオーディオデータ等のようにリアルタイム性を要求されるデータをジッタを有するネットワークを介して伝送する場合等に広く適用できる。

【0088】

また、上記実施の形態1及び2においては、有線ネットワークがIEEE1394規格に準拠するシステムであり、無線ネットワークがIEEE802.1a規格準拠するシステムである場合について説明したが、本発明のデータ受信装置（無線受信装置）及びデータ受信方法の適用範囲はこのような場合に限定されるものではない。本発明のデータ受信装置及びデータ受信方法は、無線ネットワークのようにデータを送受信する際にネットワークジッタ（クロックジッタ）が保証されていないIEEE802.11関連のネットワーク、イーサネット（Ethernet）によるネットワーク、超広帯域（UWB：Ultra Wideband）通信を用いたネットワーク、ブルートゥース（Bluetooth）を用いたネットワーク等のような他の無線ネットワークに適用することができる。さらに、本発明のデータ受信装置及びデータ受信方法は、高速電力線通信（PLC：Power Line Control）等の有線のネットワークに適用することもできる。

【0089】

また、上記実施の形態1及び2においては、無線送受信装置がIEEE1394規格に準拠した有線ネットワークの一部を構成としている場合について説明したが、本発明のデータ受信装置（無線受信装置）及びデータ受信方法の適用範囲はこのような場合に限定されるものではなく、TSが直接入力される無線送受信装置、又は、MPEG2エンコーダが内蔵されておりアナログビデオ信号又はデジタルビデオ信号が入力される無線送受信装置から構成されるネットワークにも適用できる。

【0090】

また、本発明は、無線LAN等のジッタを有するネットワークを用いたオーディオビジ

ユアル系のホームネットワークシステム、又は、映像ストリームを配信する映像監視システム等に適用することができる。

【図面の簡単な説明】

【0091】

【図1】本発明の実施の形態1及び2に係るデータ受信方法を実施するデータ伝送システムの構成を概略的に示す図である。

【図2】実施の形態1における無線送信装置の構成を概略的に示すブロック図である。

【図3】図2に示される無線送信装置内の送信側メモリ制御回路の構成を概略的に示すブロック図である。

【図4】タイムスタンプが付加されたTSの説明図である。

【図5】実施の形態1における無線受信装置（データ受信装置）の構成を概略的に示すブロック図である。

【図6】図5に示される無線受信装置内の受信側メモリ制御回路の構成を概略的に示すブロック図である。

【図7】図5に示される無線受信装置内のメモリの記憶領域を説明するための図である。

【図8】図6に示される受信側メモリ制御回路内のTSデータ読み出しタイミング生成回路の構成を概略的に示すブロック図である。

【図9】図6に示される受信側メモリ制御回路内のTSメモリ読み出し制御回路の構成を概略的に示すブロック図である。

【図10】図6に示される受信側メモリ制御回路の動作を示すフローチャートである。

【図11】実施の形態1における無線受信装置のクロックジッタ検出動作を示すフローチャートである。

【図12】図11に示されるフローの中の目標値算出及び設定の動作を示すフローチャートである。

【図13】実施の形態1の無線受信装置がVBRのTSを受信した場合における、無線受信装置内のメモリが記憶するデータ量の変動を示す図である。

【図14】実施の形態1のデータ伝送システムがクロックジッタを有する場合における、無線受信装置内のメモリが記憶するデータ量の変動を示す図である。

【図15】実施の形態1における無線受信装置がクロックジッタ補正值を算出するために保有する変換テーブルを示す図である。

【図16】実施の形態2における無線受信装置のクロックジッタ検出動作を示すフローチャートである。

【図17】実施の形態2における無線受信装置による変換テーブル選択のために使用されるテーブルを示す図である。

【図18】実施の形態2における無線受信装置がクロックジッタ補正值を算出するために使用する変換テーブルを示す図である。

【図19】従来のデータ伝送方法を説明するための図であり、(a)は無線送信装置にPCRを含むTSが入力されるタイミングを示す図であり、(b)は無線送信装置から無線受信装置にTSパケットが伝送されるタイミングを示す図であり、(c)は無線受信装置から受信されたTSが出力されるタイミングを示す図である。

【図20】従来のTSの無線伝送システムの構成を説明するための図である。

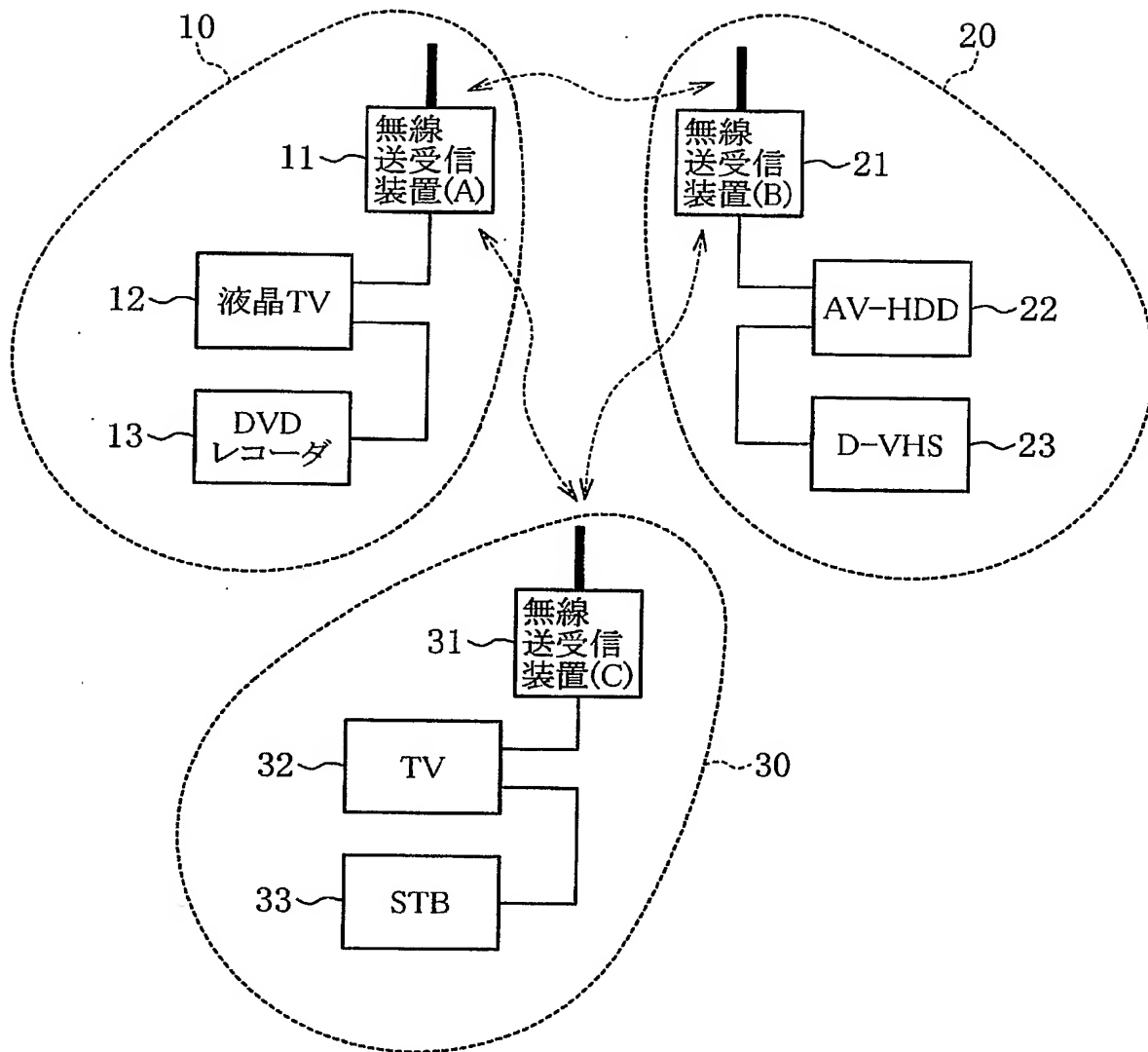
【符号の説明】

【0092】

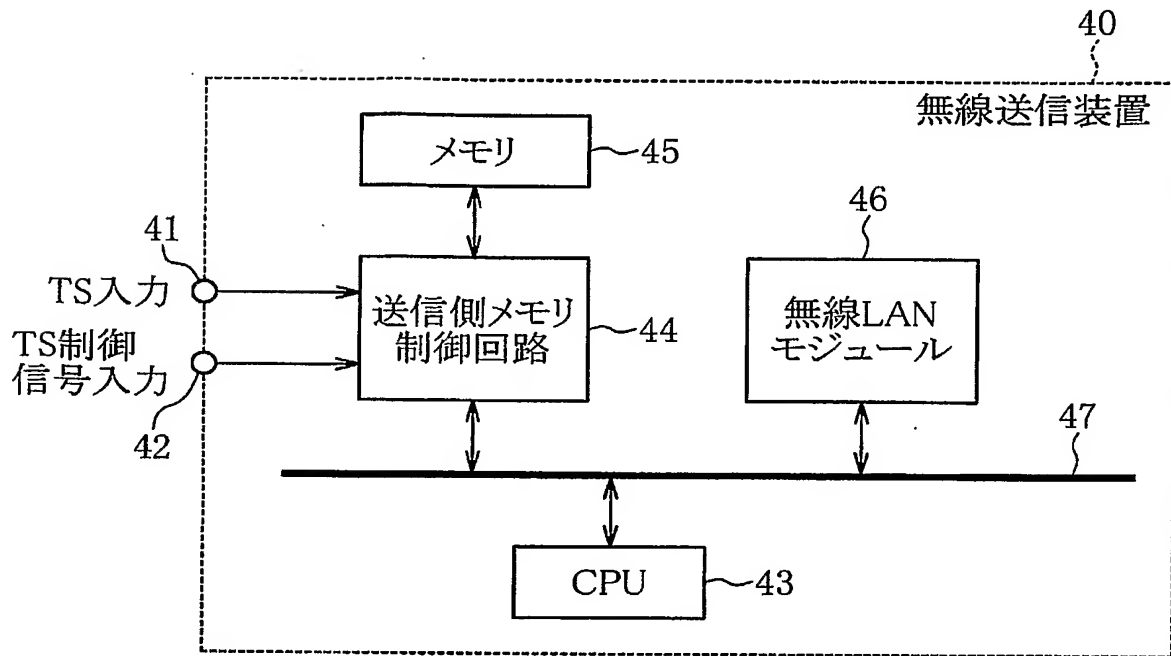
10, 20, 30 有線ネットワーク、 11 無線送受信装置(A)、 21 無線送受信装置(B)、 31 無線送受信装置(C)、 40 無線送信装置(送信機)、 43 CPU、 44 送信側メモリ制御回路、 45 メモリ、 46 無線LANモジュール、 47 CPUバス、 441 タイムスタンプ生成回路、 442 タイ

ムスタンプ付加回路、 4 4 3 TSメモリ書き込み制御回路、 4 4 4 バスアービタ回路、 5 0 無線受信装置（受信機）、 5 1 無線LANモジュール、 5 2 受信側メモリ制御回路、 5 3 メモリ、 5 4 CPU、 5 5 CPUバス、 5 2 1 TSデータ読み出しタイミング生成回路、 5 2 2 TSメモリ読み出し制御回路、 5 2 3 バスアービタ回路、 5 3 1 第1のTS記憶領域、 5 3 2 第2のTS記憶領域、 5 2 1 3 時刻計測用カウンタ、 5 2 1 4 時刻計測用カウンタ制御回路、 5 2 1 5 時刻補正值記憶レジスタ、 5 2 1 6 時刻比較回路、 5 2 2 5 FIFOメモリ、 5 2 2 6 FIFOメモリ制御回路、 5 2 2 7 TS読み出しアドレス発生回路、 5 2 2 8 TS書き込みアドレス記憶回路、 5 2 2 9 メモリ記憶データ量積分回路、 5 2 3 0 積分結果記憶レジスタ、 5 2 3 1 TS出力数計測カウンタ、 5 2 3 2 TS出力数記憶レジスタ、 5 2 3 3 計測時間測定カウンタ、 5 2 3 4 計測時間記憶レジスタ。

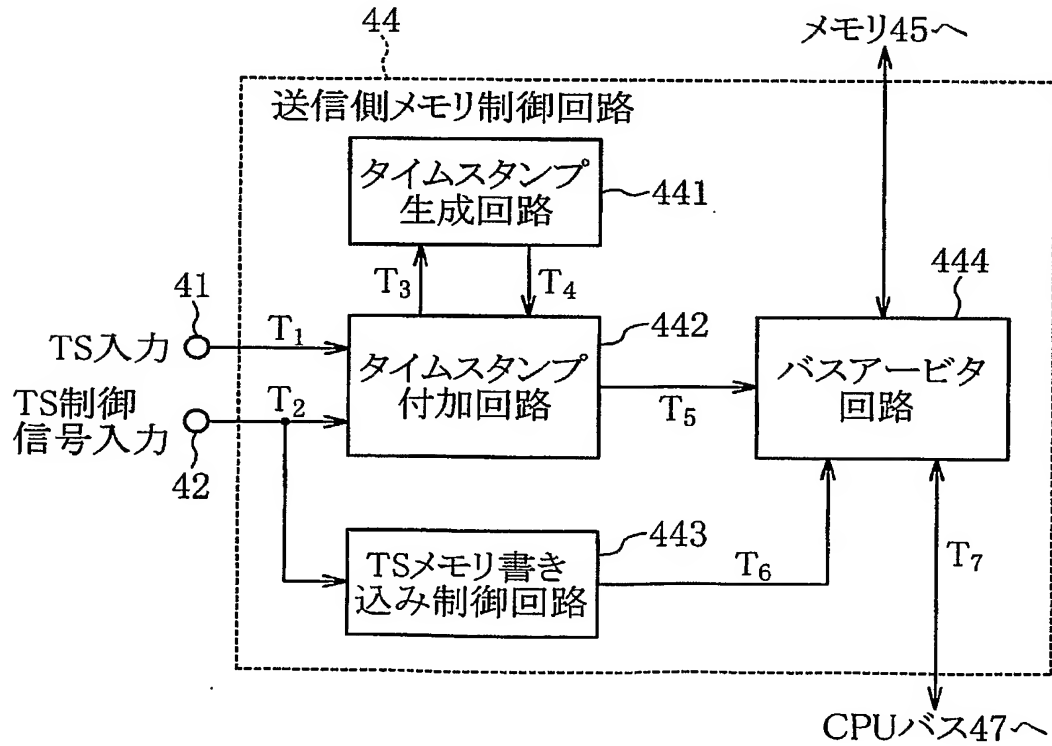
【書類名】 図面
【図 1】



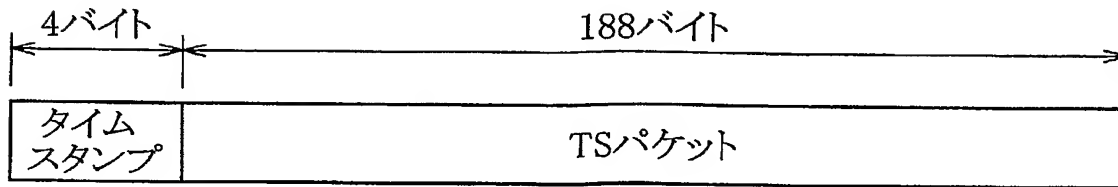
【図 2】



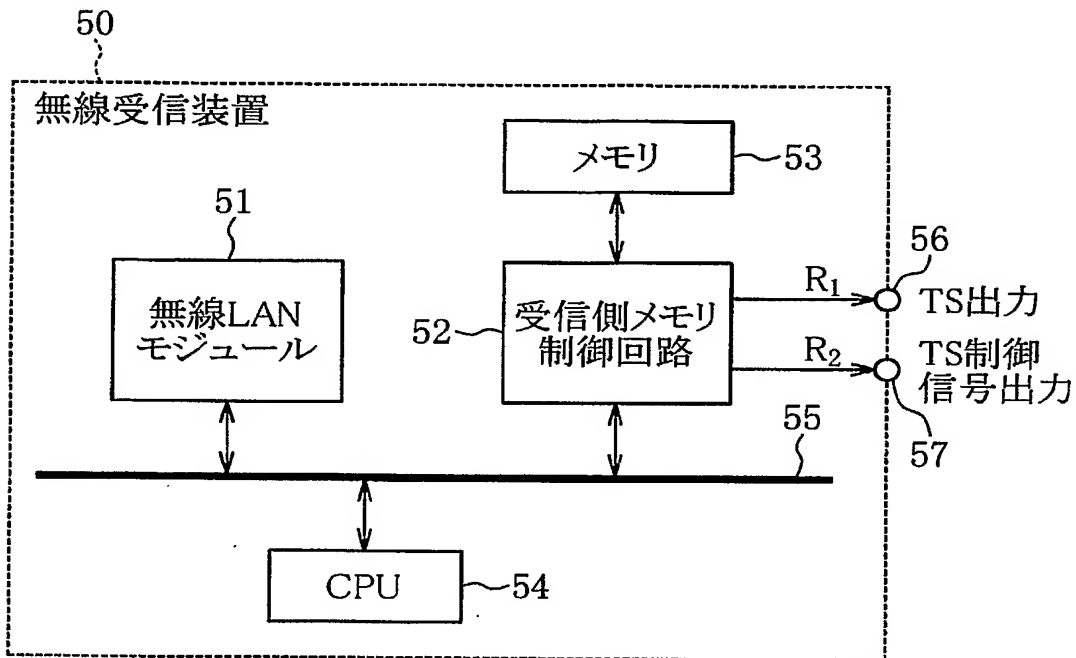
【図 3】



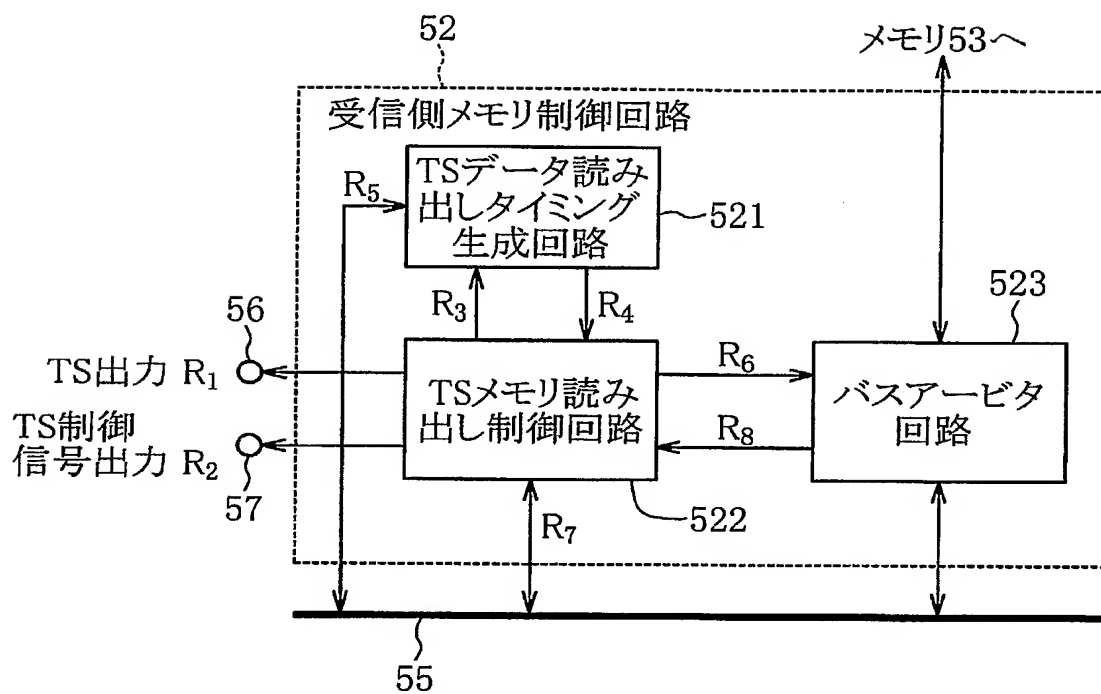
【図 4】



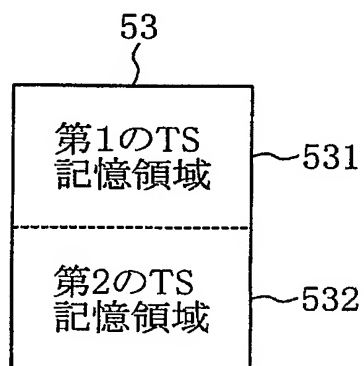
【図 5】



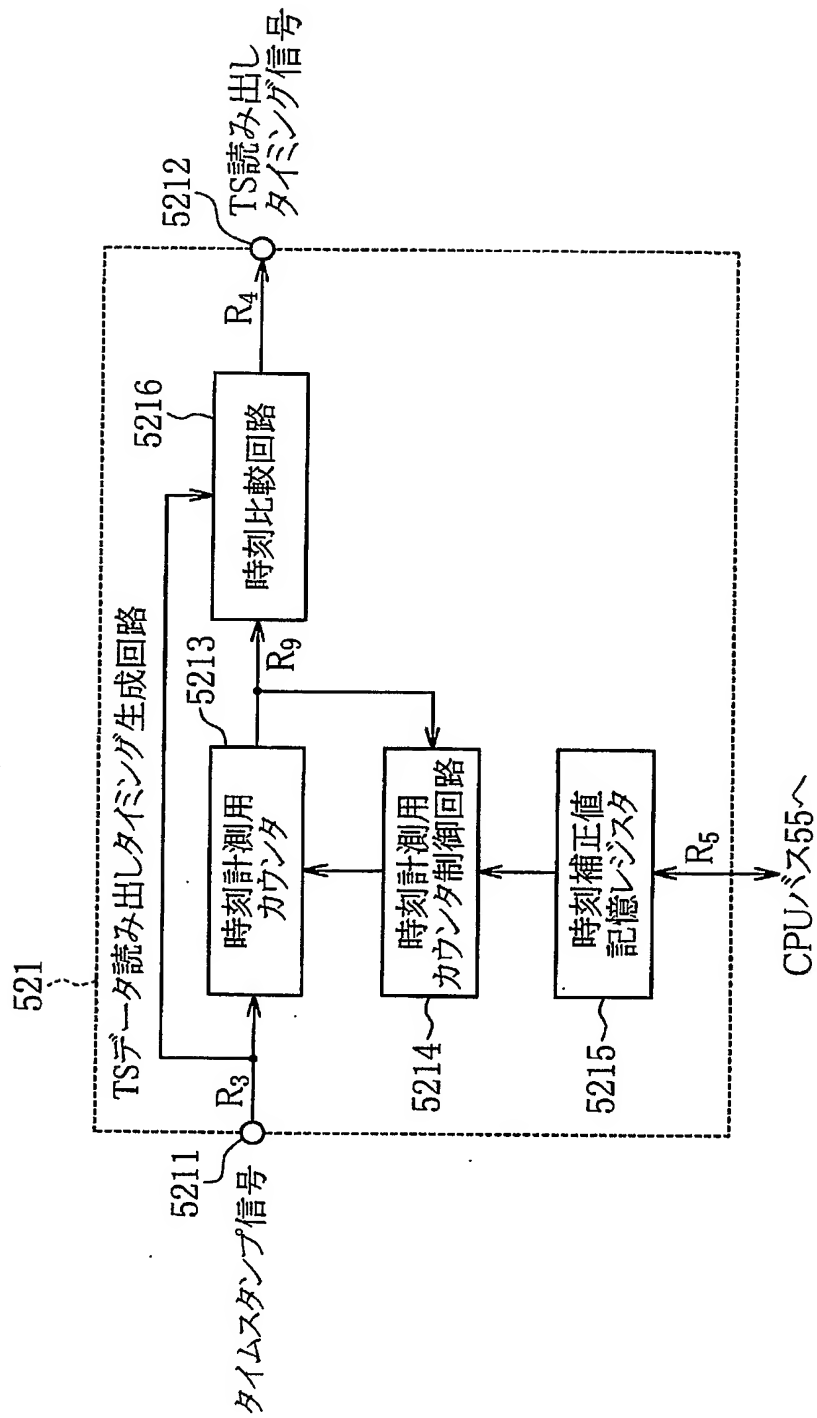
【図 6】



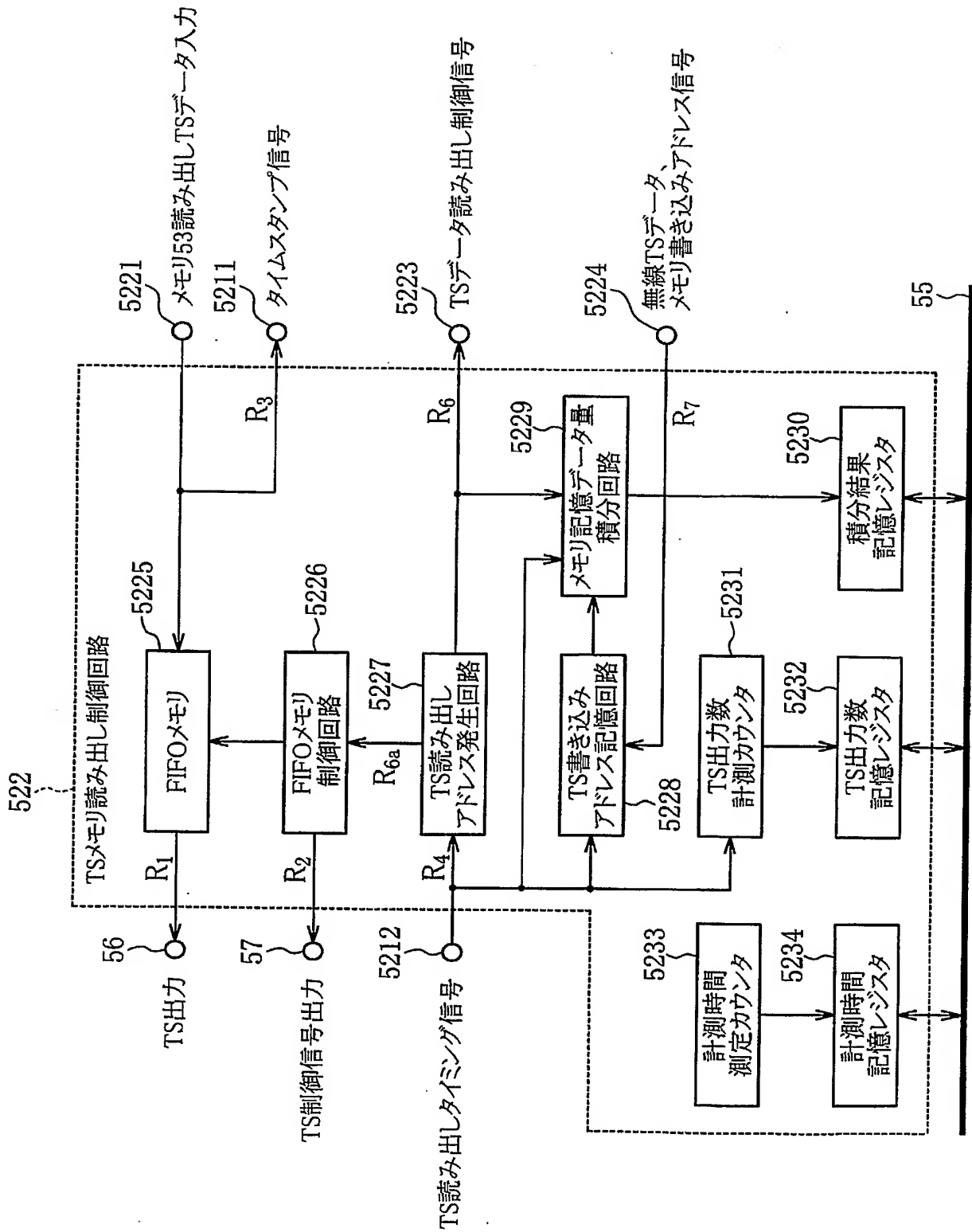
【図 7】



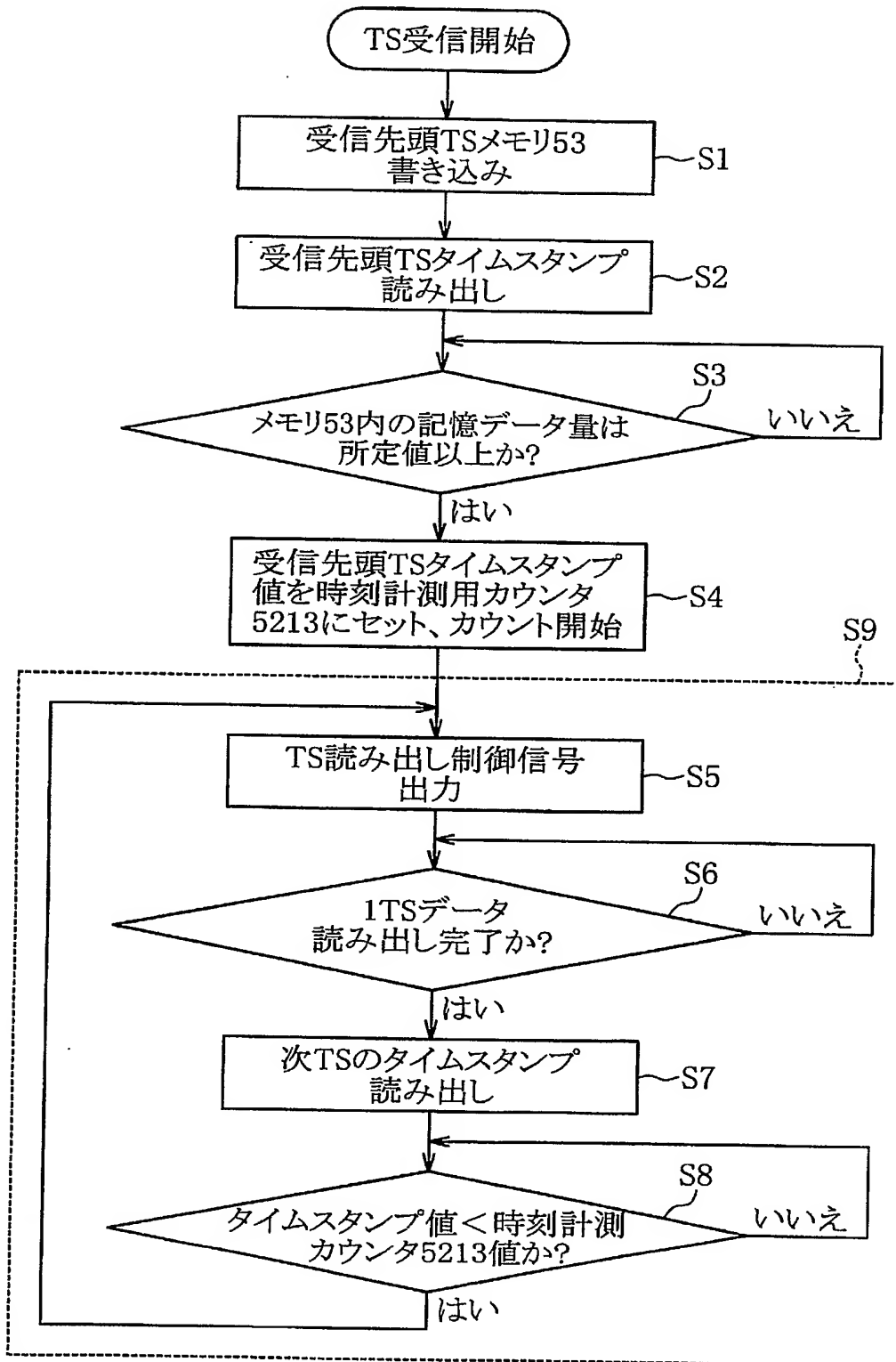
【図 8】



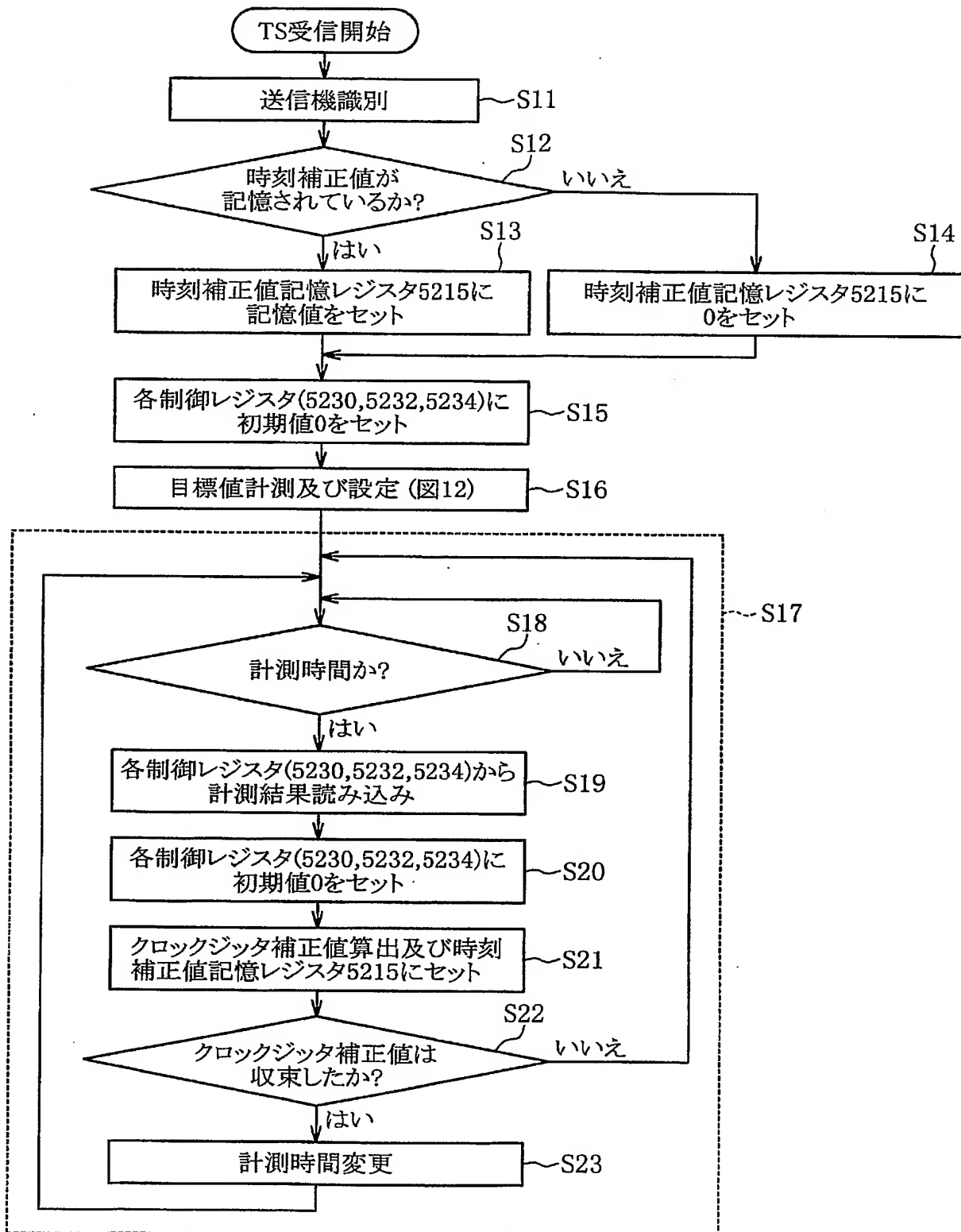
【図 9】



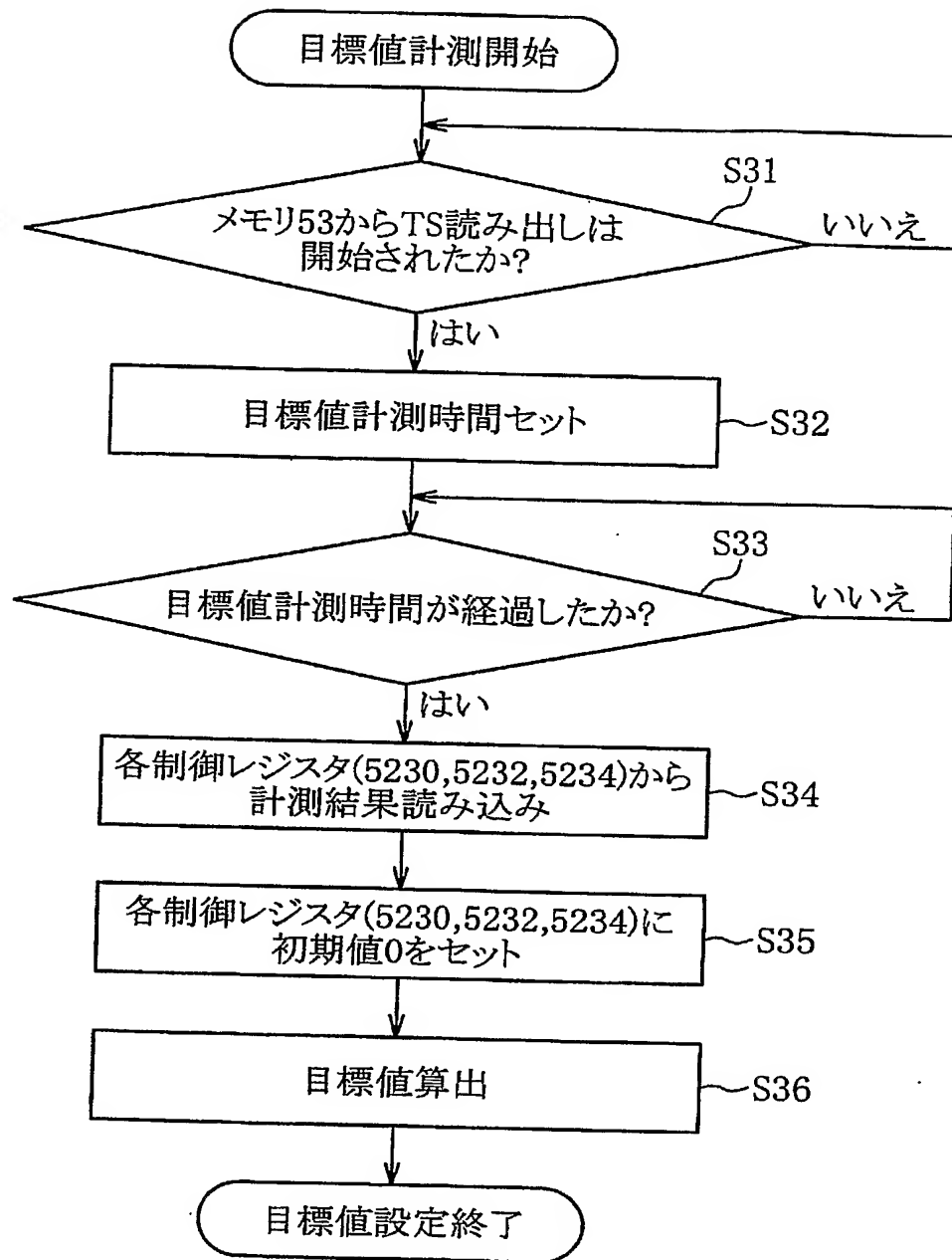
【図10】



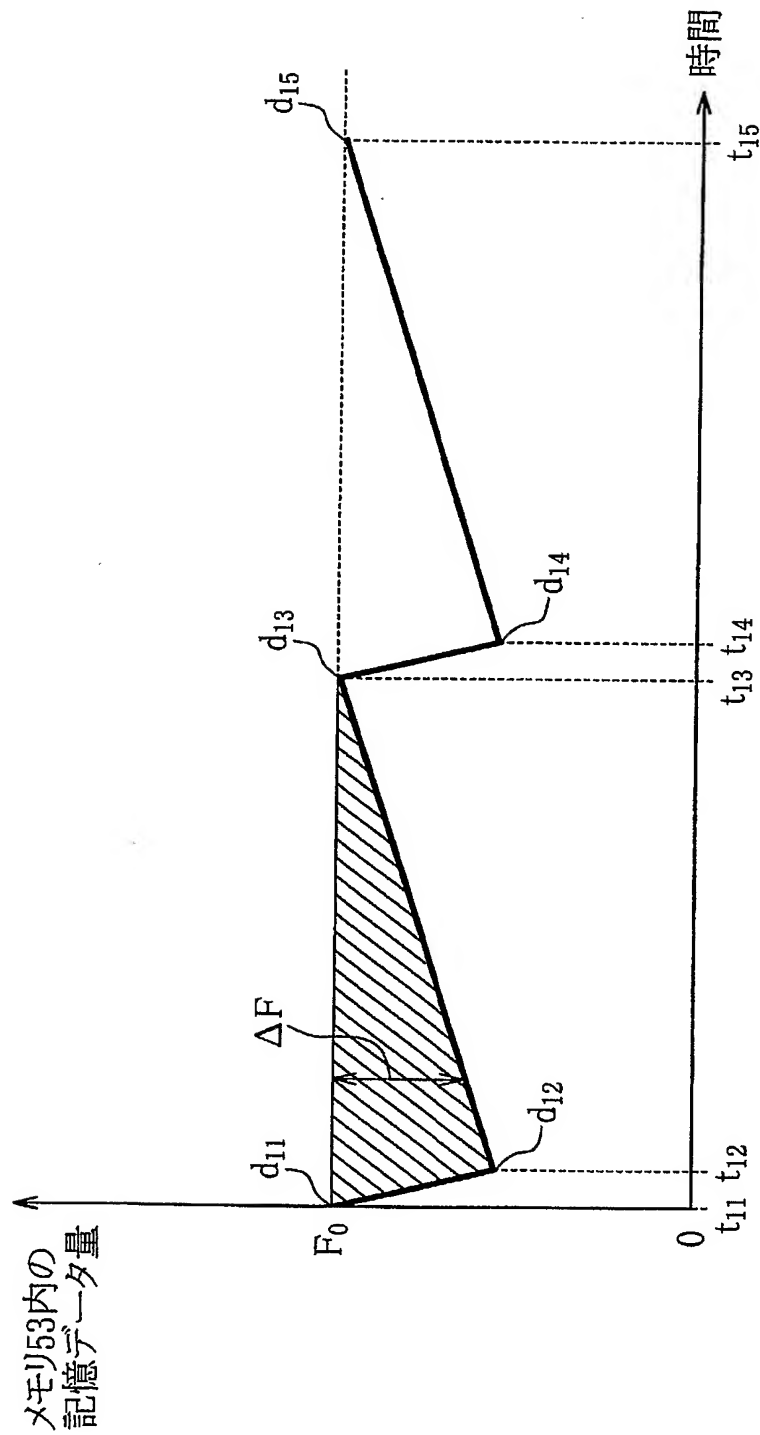
【図 11】



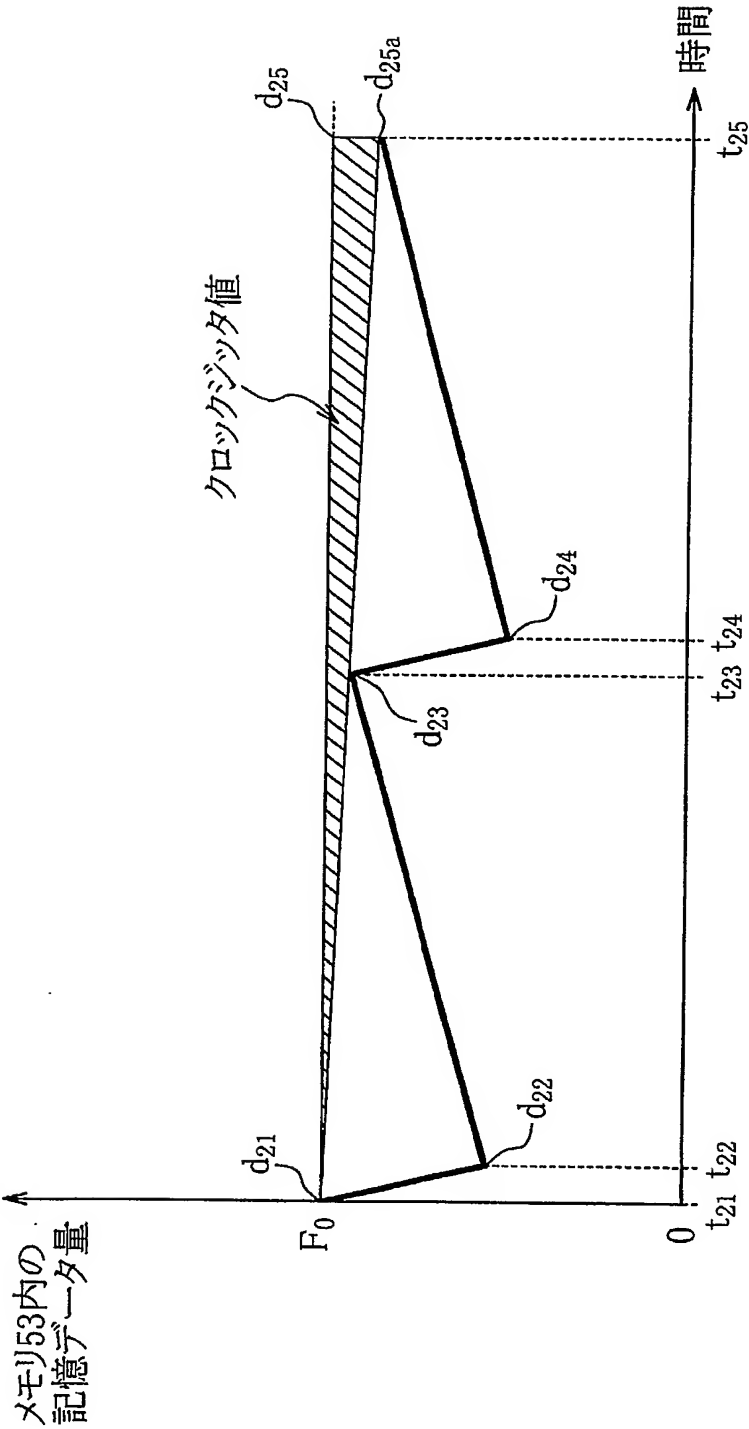
【図 12】



【図 13】

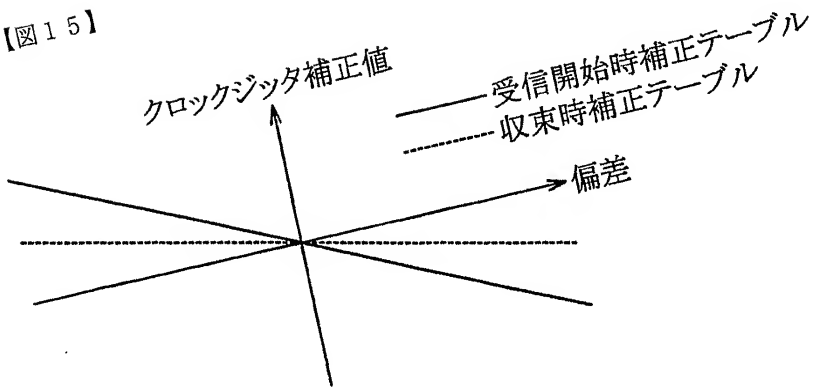


【図 14】



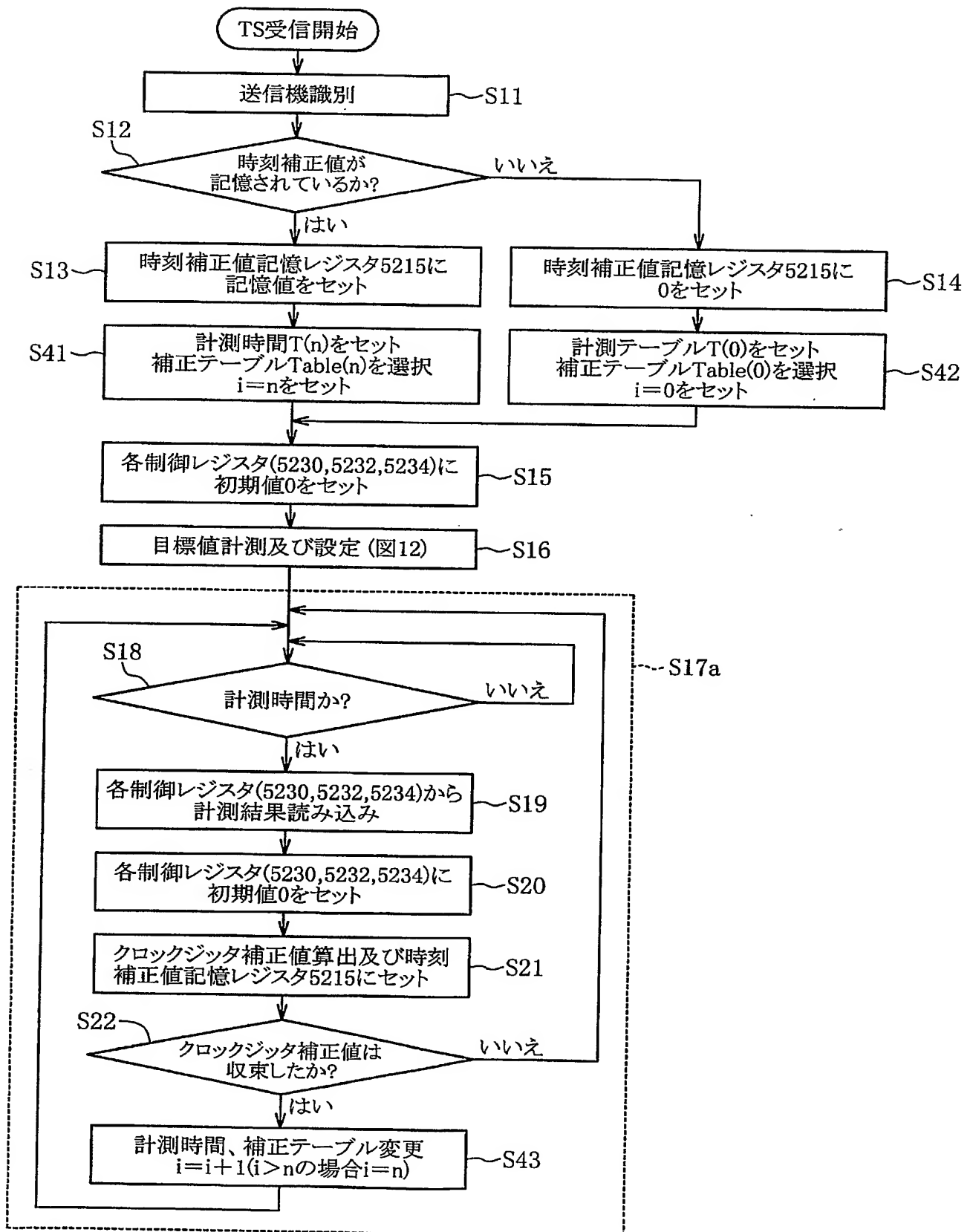
特願2004-067332

【図15】



出証特2005-3024273

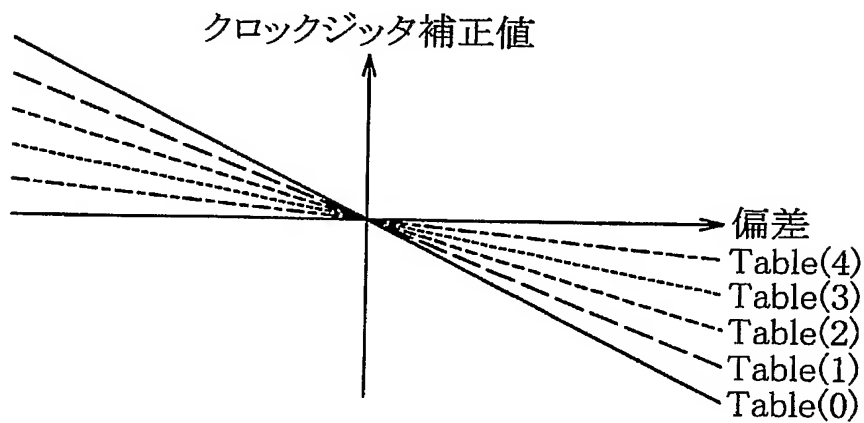
【図 16】



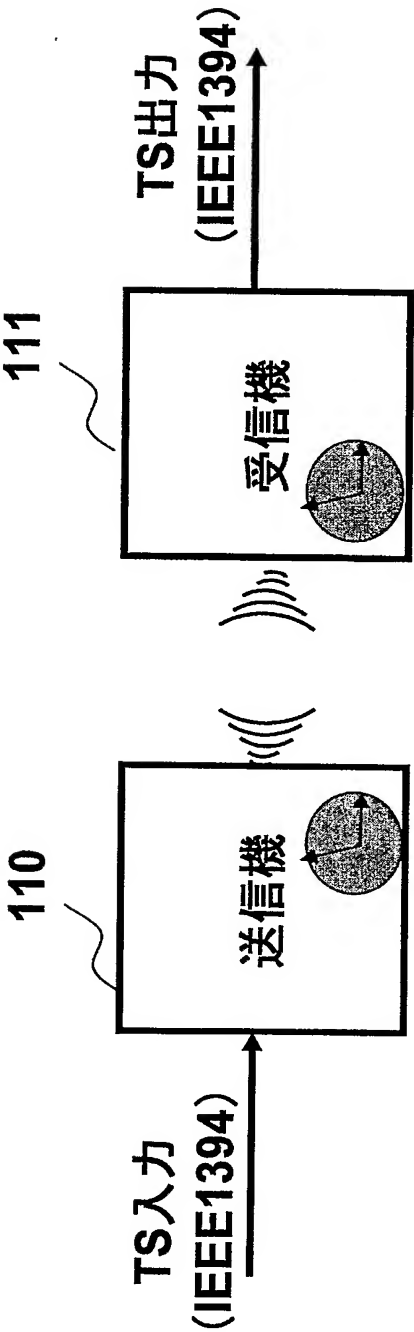
【図 1 7】

i	計測時間T(n)	補正テーブル
0	0.5秒	Table(0)
1	1.0秒	Table(1)
2	2.0秒	Table(2)
3	4.0秒	Table(3)
4	8.0秒	Table(4)

【図 1 8】



【図 2 0】



【書類名】 要約書**【要約】**

【課題】 スループットの低下及び回路の複雑化を抑制しつつ、受信側メモリにおいてアンダーフローあるいはオーバーフローを生じさせることなく連続的にデータを出力することができるデータ受信装置及びデータ受信方法を提供する。

【解決手段】 無線受信装置 50 は、パケットデータを受信する LAN モジュール 51 と、受信パケットデータを一時記憶する受信側メモリ 53 と、受信パケットデータから分離された時刻情報をもとにメモリ 53 からパケットデータを読み出す制御部 52、54 とを有し、制御部 52、54 にて読み出しタイミングを生成する際に、メモリ 53 に一時記憶されている受信パケットデータの量の積分結果及びこの積分の積分期間の計測結果をもとに、クロック周波数の偏差を計算し、受信パケットデータの読み出しタイミングに偏差に基づくオフセット量を加え受信パケットデータの読み出しタイミングを生成する。

【選択図】 図 5

認定・付加情報

特許出願の番号	特願 2 0 0 4 - 0 6 7 3 3 2
受付番号	5 0 4 0 0 3 9 4 7 9 4
書類名	特許願
担当官	第八担当上席 0 0 9 7
作成日	平成 1 6 年 3 月 1 6 日

< 認定情報・付加情報 >

【特許出願人】

【識別番号】	000006013
【住所又は居所】	東京都千代田区丸の内二丁目 2 番 3 号
【氏名又は名称】	三菱電機株式会社

【代理人】 申請人

【識別番号】	100083840
【住所又は居所】	東京都渋谷区代々木 2 丁目 1 6 番 2 号 甲田ビル 4 階

【氏名又は名称】	前田 実
----------	------

【代理人】

【識別番号】	100116964
【住所又は居所】	東京都渋谷区代々木 2 丁目 1 6 番 2 号 甲田ビル 4 階 前田特許事務所

【氏名又は名称】	山形 洋一
----------	-------

特願 2 0 0 4 - 0 6 7 3 3 2

ページ： 1/E

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 0 1 3]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名

三菱電機株式会社